

10/570130

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/012518

International filing date: 30 June 2005 (30.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-166927
Filing date: 07 June 2005 (07.06.2005)

Date of receipt at the International Bureau: 09 September 2005 (09.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2005年 6月 7日

出 願 番 号
Application Number: 特願2005-166927

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

J P 2005-166927

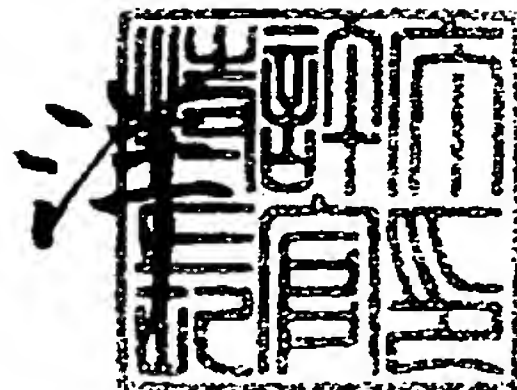
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 富士フイルムマイクロデバイス株式会社
富士写真フイルム株式会社

2005年 8月24日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 205-02358
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/14
【発明者】
 【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フィルムマイクロ
 デバイス株式会社内
 【氏名】 會田 勉
【発明者】
 【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フィルムマイクロ
 デバイス株式会社内
 【氏名】 郡山 秀樹
【発明者】
 【住所又は居所】 宮城県黒川郡大和町松坂平1丁目6番地 富士フィルムマイクロ
 デバイス株式会社内
 【氏名】 斎藤 牧
【特許出願人】
 【識別番号】 391051588
 【氏名又は名称】 富士フィルムマイクロデバイス株式会社
【特許出願人】
 【識別番号】 000005201
 【氏名又は名称】 富士写真フィルム株式会社
【代理人】
 【識別番号】 100105647
 【弁理士】
 【氏名又は名称】 小栗 昌平
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100105474
 【弁理士】
 【氏名又は名称】 本多 弘徳
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100108589
 【弁理士】
 【氏名又は名称】 市川 利光
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100115107
 【弁理士】
 【氏名又は名称】 高松 猛
 【電話番号】 03-5561-3990
【選任した代理人】
 【識別番号】 100090343
 【弁理士】
 【氏名又は名称】 濱田 百合子
 【電話番号】 03-5561-3990
【先の出願に基づく優先権主張】
 【出願番号】 特願2004-192774
 【出願日】 平成16年 6月30日

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0003489

【書類名】 特許請求の範囲

【請求項 1】

光電変換部と、前記光電変換部で生起せしめられた電荷を転送する電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される周辺回路部とを具備した固体撮像素子において、

前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられたフィールド酸化膜の表面レベルが、前記光電変換部の表面レベルと同程度であることを特徴とする固体撮像素子。

【請求項 2】

請求項 1 に記載の固体撮像素子であって、

前記電荷転送電極が、第 1 の電極と、前記第 1 の電極の側壁を覆う電極間絶縁膜を介して形成される第 2 の電極とで構成される単層電極構造を有することを特徴とする固体撮像素子。

【請求項 3】

請求項 1 または 2 に記載の固体撮像素子であって、

前記電荷転送電極が、前記第 1 の電極は第 1 層導電性膜からなり、前記第 2 の電極は第 2 層導電性膜からなることを特徴とする固体撮像素子。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の固体撮像素子であって、

前記フィールド酸化膜は、選択酸化（LOCOS）によって形成された膜であることを特徴とする固体撮像素子。

【請求項 5】

請求項 4 に記載の固体撮像素子であって、

前記フィールド酸化膜は、トレンチ内に形成されていることを特徴とする固体撮像素子。

【請求項 6】

請求項 1 乃至 3 のいずれかに記載の固体撮像素子であって、

前記フィールド酸化膜は、トレンチに充填された絶縁膜であることを特徴とする固体撮像素子。

【請求項 7】

請求項 3 乃至 6 のいずれかに記載の固体撮像素子であって、

前記第 1 層導電性膜は、前記フィールド酸化膜上にダミーパターンを具備したことを特徴とする固体撮像素子。

【請求項 8】

光電変換部と、前記光電変換部で生起せしめられた電荷を転送する単層電極構造の電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される周辺回路部とを具備した固体撮像素子の製造方法において、

半導体基板表面にフィールド酸化膜を形成した後、前記電荷転送電極を形成するに先立ち、

前記半導体基板表面全体を平坦化する工程を含むことを特徴とする固体撮像素子の製造方法。

【請求項 9】

請求項 8 に記載の固体撮像素子の製造方法であって、

半導体基板表面に、前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられるフィールド酸化膜の形成領域に、トレンチを形成する工程と、

前記トレンチ内にフィールド酸化膜を形成する工程と、

前記フィールド酸化膜の形成された前記半導体基板表面を平坦化する工程と、
前記半導体基板表面に、前記電荷転送電極、前記光電変換部および前記周辺回路部などの素子部を形成する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 10】

請求項 9 に記載の固体撮像素子の製造方法であって、
前記フィールド酸化膜を形成する工程は、選択酸化（LOCOS）工程を含むことを特徴とする固体撮像素子の製造方法。

【請求項 11】

請求項 9 に記載の固体撮像素子の製造方法であって、
前記フィールド酸化膜を形成する工程は、前記トレンチに CVD 法により絶縁膜を充填する工程を含むことを特徴とする固体撮像素子の製造方法

【請求項 12】

請求項 9 乃至 11 のいずれかに記載の固体撮像素子の製造方法であって、
前記半導体基板表面を平坦化する工程は、
前記半導体基板表面にスピンコート法によりレジストを塗布する工程と、
レジストエッチバック法により、平坦化する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 13】

請求項 9 乃至 11 のいずれかに記載の固体撮像素子の製造方法であって、
前記半導体基板表面を平坦化する工程は、
CMP（化学的機械研磨）法により前記半導体基板表面を平坦化する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 14】

請求項 9 乃至 13 のいずれかに記載の固体撮像素子の製造方法であって、
前記素子部を形成する工程は、
平坦化のなされた前記半導体基板表面に、第 1 の電極、前記光電変換部および前記周辺回路部の第 1 層配線を構成する第 1 層導電性膜のパターンを形成する工程と、
前記第 1 の電極の少なくとも側壁に電極間絶縁膜を形成する工程と、
前記第 1 の電極および前記電極間絶縁膜の形成された前記半導体基板表面に第 2 の電極を構成する第 2 層導電性膜を形成する工程と、
前記第 2 層導電性膜を平坦化する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 15】

請求項 14 に記載の固体撮像素子の製造方法であって、
前記第 2 層導電性膜を平坦化する工程は、
前記第 2 層導電性膜の上層にスピンコート法によりレジストを塗布する工程と、
前記第 2 層導電性膜をレジストエッチバック法により、平坦化する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 16】

請求項 15 に記載の固体撮像素子の製造方法であって、
前記第 1 層導電性膜のパターンを形成する工程は、前記レジストの表面レベルが前記半導体基板上で所定の値以下とならないように、ダミーパターンを含む前記パターンを形成する工程を含む固体撮像素子の製造方法。

【請求項 17】

請求項 14 に記載の固体撮像素子の製造方法であって、
前記第 2 層導電性膜を平坦化する工程は、
CMP（化学的機械研磨）法により前記第 2 層導電性膜を平坦化する工程とを含むことを特徴とする固体撮像素子の製造方法。

【請求項 18】

請求項 17 に記載の固体撮像素子の製造方法であって、
前記第 1 層導電性膜のパターンを形成する工程は、前記第 2 層導電性膜の表面レベルが前記半導体基板上で所定の値以下とならないように、ダミーパターンを含む前記パターンを形成する工程を含む固体撮像素子の製造方法。

【請求項 19】

請求項 15 に記載の固体撮像素子の製造方法であって、前記第 2 層導電性膜を形成する工程に先立ち、前記第 1 の電極の表面にエッチングストッパとなるストッパ層を形成する工程を含み、

前記平坦化工程は、前記ストッパ層をストッパとしてレジストエッチバックを行う工程であることを特徴とする固体撮像素子の製造方法。

【請求項 20】

請求項 17 に記載の固体撮像素子の製造方法であって、前記第 2 層導電性膜を形成する工程に先立ち、前記第 1 の電極の表面に CMP ストッパとなるストッパ層を形成する工程を含み、

前記平坦化工程は、前記ストッパ層をストッパとして CMP を行う工程であることを特徴とする固体撮像素子の製造方法。

【書類名】 明細書

【発明の名称】 固体撮像素子およびその製造方法

【技術分野】

【0001】

本発明は、固体撮像素子およびその製造方法にかかり、特に微細化に耐えうる構造の固体撮像素子およびその製造方法に関する。

【背景技術】

【0002】

エリアセンサ等に用いられるCCDを用いた固体撮像素子は、フォトダイオードなどの光電変換部と、この光電変換部からの信号電荷を転送するための電荷転送電極を備えた電荷転送部とを有する。電荷転送電極は、半導体基板に形成された電荷転送路上に複数個隣接して配置され、順次駆動される。

【0003】

近年、固体撮像素子においては、高解像度化、高感度化への要求は高まる一方であり、ギガピクセル以上まで撮像画素数の増加が進んでいる。このような状況の中で、チップサイズを大型化することなく高解像度を得るためには、単位画素あたりの面積を縮小し、高集積化を図る必要がある。

【0004】

一方光電変換部を構成するフォトダイオードの面積を小さくすると感度が低下するため、フォトダイオード領域の面積は確保しなければならない。そこで、電荷転送部および周辺回路の配線の微細化をはかり、配線の面積比率を低減することにより、フォトダイオード領域の占有面積を確保しつつチップの微細化をはかるべく種々の研究がなされている。

【0005】

このような状況の中で配線の微細化により、高集積化を実現するためには配線層間の層間絶縁膜の平坦性を保つことは重要な技術課題となる。さらにまた、固体撮像素子の作りこまれた基板（シリコン基板）は、フィルタやレンズを積層して、実装される。このため、レンズと光電変換部との位置精度が重要となり、またその距離すなわち高さ方向の距離も、製造工程における位置精度と、使用時における感度（光電変換効率）面での大きな問題となる。

【0006】

そこで平坦性の向上のために、電荷転送部を単層電極構造とした構造が提案されている。CCDにおいては電極間ギャップが転送効率を決定する重要な要因となっており、この電極間ギャップをいかに小さくとるかが重要である。しかしながら通常のフォトリソグラフィ技術による電極パターンの形成では、 $1\mu\text{m}$ が限度であり、これよりも小さく形成するのは困難であった。また電極間距離の微細化においてはアスペクト比も大きくならざるを得ず、このように微細でかつアスペクト比の大きな電極間ギャップに絶縁膜を埋め込む技術も極めて難しい。

【0007】

このため、電極間ギャップの微細化は極めて深刻であり、パターン精度の向上は深刻な問題となっている。また周辺回路部の微細化も同様に求められている。このような状況の中でフォトリソグラフィ工程におけるパターン精度の向上、および電極間ギャップへの絶縁膜の充填にあたり、基板表面の平坦性は極めて重要な課題となっている。従来表面の平坦化を求めて種々の試みがなされているが、それにもまして微細化に伴うパターン精度向上への要求は高まる一方である。

【0008】

また、従来の単層構造の電荷転送電極を用いた固体撮像素子では、電極間ギャップの微細化に際し、フォトリソグラフィの解像度を越えた微細化をはかるために、第1層導電性膜のパターンを形成した後、電極間絶縁膜を形成し、この上層に第2層導電性膜を積層したのち、レジストエッチバックあるいはCMP（化学的機械研磨）法により、平坦化をは

かる方法も提案されている。

【0009】

例えば、電荷転送電極として多結晶シリコンあるいはアモルファスシリコン膜を用い、第1層配線を形成した後に、この第1層配線のパターン表面を酸化し、第2層目の転送電極となる多結晶シリコンあるいはアモルファスシリコン膜を堆積し、レジストを塗布し、レジストエッチバック法により全面エッチングを行うことにより電極の単層化を実施している。

【0010】

この一例を図10乃至12を参照しつつ説明する。まず、n型シリコン基板1表面に、LOCOS法により、撮像領域を囲む領域に膜厚600nm程度のフィールド酸化膜を形成し素子分離を行なった後、素子領域を形成する。すなわち膜厚15～35nmの酸化シリコン膜2aと、膜厚50nmの窒化シリコン膜2bと、膜厚10nmの酸化シリコン膜2cを形成し、3層構造のゲート酸化膜2を形成する。このとき、素子領域の形成前の基板表面は、フィールド酸化膜10が突出した状態となっている。

【0011】

続いて、このゲート酸化膜2上に、膜厚250nmの第1層ドーフトアモルファスシリコン膜3aを形成し、酸化シリコン膜4aと、窒化シリコン膜4bとを形成する(図10(a))。

続いて、そしてこの上層にレジストを塗布する。

【0012】

そして、図10(b)に示すように、フォトリソグラフィにより所望のマスクを用いて露光し、現像、水洗を行い、パターン幅0.3から数 μ mのレジストパターンR1を形成する。

【0013】

この後、図10(c)に示すように、このレジストパターンR1をマスクとし、酸化シリコン膜4aと、窒化シリコン膜4bとをエッチングし、第1の電極のパターニング用のマスクパターンを形成する。

そしてアッシングによりレジストパターンを剥離除去し(図11(d))、このマスクパターンをマスクとし、ゲート酸化膜2の窒化シリコン膜2bをエッチングストッパとして第1層ドーフトアモルファスシリコン膜3aを選択的にエッチング除去し、第1の電極を形成する(図11(e))。

【0014】

続いて、熱酸化により第1の電極のパターンの表面に電極間絶縁膜5を形成し(図11(f))、さらにこの上層に酸化シリコン膜(HTO酸化膜)6を形成する(図12(g))。

【0015】

そしてこの上層に第2層ドーフトアモルファスシリコン膜3bを形成する(図12(h))。

こののち、CMPにより第2層ドーフトアモルファスシリコン膜3bの平坦化を行う(図12(i))。

【0016】

このようにして、第2層ドーフトアモルファスシリコン膜3bからなる第2の電極を形成し、表面の平坦な固体撮像素子電極が形成される。

【0017】

この方法の場合、第2層ドーフトアモルファスシリコン膜をCMPにより平坦化除去して第1の電極上の第2層ドーフトアモルファスシリコン膜を除去することにより、第2層ドーフトアモルファスシリコン膜を分離し、第2の電極を形成する際、フィールド酸化膜10が第1の電極表面よりも高く、CMPによる加工が不可能であった。

これはレジストエッチバックによっても同様である。

【0018】

このように、増幅回路などが形成される非撮像領域は電荷転送電極のある有効撮像領域よりも高さが低くなっている場合がある。このような場合にはCMPによる加工が困難であるという問題がある。また、レジストエッチバックによる平坦化の場合にも、同様に平坦化による電極分離が困難となる。

またCMPによる加工を可能にするためにフィールド酸化膜の形成された表面の高さが、電荷転送電極の表面の高さよりも低く形成するようにしたものも提案されている（特許文献1）。

しかしながら、電極分離は出来たとしても、基板表面が十分に平坦でない場合、第1層ドーフトアモルファスシリコン膜のパターン精度を十分に得ることができない。これはパターンが微細化すればするほど深刻な状態となっており、微細化に際してはこの問題が顕在化している。

【0019】

しかしながら、電極より低くてもフィールド酸化膜上に配線を形成した場合は段差が生じ、撮像画面の周辺部で感度や色の不均一性が生じるという問題があった。

【0020】

さらにまた、第1層ドーフトアモルファスシリコン膜の密度の小さい領域がウェハの周縁部にある場合には、スピコートでレジストを形成すると、レジストの表面レベルが低くなってしまい、その結果、ウェハの周縁部で第2層ドーフトアモルファスシリコン膜の膜減りが生じてしまうことがある。

また、ウェハ周縁部に限らず、半導体基板上における配線部、フォトダイオード部以外の領域など第1層ドーフトアモルファスシリコン膜の密度の小さい領域では、パターン間でレジストの薄い領域が形成されることがある。このような場合、配線抵抗のばらつきを生じるという問題がある。

【0021】

また、周辺部の電荷転送電極の膜厚のばらつきにより転送効率の劣化を生じることもあった。そして電荷転送電極より上層の平坦化膜、マイクロレンズ、カラーフィルタなどの各種の膜の膜厚の不均一化や形状ばらつきの増大を招くことになり、シェーディング、感度ばらつき、迷光によるスミアの悪化などが発生すると言う問題もある。

【0022】

このため、上述したような方法では、微細化あるいはさらなる感度の向上に対応するのは困難であるという問題があった。

【0023】

【特許文献1】特開平11-26743号公報

【発明の開示】

【発明が解決しようとする課題】

【0024】

このように、従来の固体撮像素子では、微細化に伴い、半導体基板表面の平坦性が深刻な問題となっており、従来サイズでは考えられない程度に高度の平坦性が求められるようになってきている。

【0025】

本発明は前記実情に鑑みてなされたもので、高度の微細化に際しても高精度で信頼性の高い固体撮像素子を提供することを目的とする。

また、本発明は、高度の微細化に際しても高精度で信頼性の高い単層電極構造の固体撮像素子を形成することを目的とする。

さらに、本発明は、第1層導電性膜のパターン上に第2層導電性膜を形成し、第1層導電性膜上の第2層導電性膜を除去して平坦化することにより単層電極構造の電荷転送電極を形成するに際し、電極パターンの微細化、薄膜化に際しても、均一で信頼性の高い電荷転送電極を形成することにより電荷転送効率の改善を図ることを目的とする。

【課題を解決するための手段】

【0026】

そこで本発明の固体撮像素子は、光電変換部と、前記光電変換部で生起せしめられた電荷を転送する電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される周辺回路部とを具備した固体撮像素子において、前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられたフィールド酸化膜の表面レベルが、前記光電変換部の表面レベルと同程度であることを特徴とする。

【0027】

この構成によれば、前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられたフィールド酸化膜の表面レベルが、前記光電変換部の表面レベルと同程度であるため、素子領域の形成に際し、基板表面全体が平坦であることになり、フォトリソグラフィによるパターン精度が大幅に向上し、2層電極構造のみならず単層電極構造の場合にも有効である。

また表面レベルが平坦であるため、電荷転送電極を単層化する際に生じる導電性膜、特に第2層導電性膜の膜減りを防止することができる。したがって、均一な膜厚の電荷転送電極および周辺回路を形成することができるため、素子特性のばらつきを防止し、信頼性の高い固体撮像素子を形成することが可能となる。なお、レジストをスピン塗布する際、ウェハの周縁部でレジストの表面レベルが低下しやすいが、周縁部以外の領域でもレジストの表面レベルが低下しやすい領域ではダミーパターンによりレジストの表面レベルを上げるようにするのが望ましい。

ここで有効撮像領域とは、光電変換部と電荷転送部とを含むものとする。

なお第2層導電性膜のCMP（化学的機械研磨）工程やエッチバック工程などの平坦化工程に際して光電変換部の表面レベルと、電荷転送電極を形成する電荷転送部および周辺回路部のゲート酸化膜の上面レベル表面とが同程度とするのが望ましく、少なくとも光電変換部の形成された領域の基板の表面レベルと、フィールド絶縁膜の表面レベルとが同程度であればよい。

【0028】

また、本発明の固体撮像素子は、前記電荷転送電極が、第1の電極と、前記第1の電極の側壁を覆う電極間絶縁膜を介して形成される第2の電極との単層電極構造を有するものを含む。

この構成により、表面レベルが平坦であるため、高精度のパターン形成が可能となり、第1の電極と第2の電極とを含む単層電極構造が1層の導電性膜をパターンニングすることにより形成することも可能である。したがって、均一な膜厚の電荷転送電極および周辺回路を形成することができるため、素子特性のばらつきを防止し、信頼性の高い固体撮像素子を形成することが可能となる。

【0029】

また、本発明の固体撮像素子は、前記第1の電極は第1層導電性膜からなり、前記第2の電極は第2層導電性膜からなるものを含む。

この構成により、表面レベルが平坦であるため、電荷転送電極を単層化する際に生じる導電性膜、特に第2層導電性膜の膜減りを防止することができる。したがって、均一な膜厚の電荷転送電極および周辺回路を形成することができるため、素子特性のばらつきを防止し、信頼性の高い固体撮像素子を形成することが可能となる。

【0030】

また、本発明の固体撮像素子は、前記フィールド酸化膜は、選択酸化（LOCOS）によって形成された膜であるものを含む。

この構成により、表面に突出しやすいLOCOSを平坦化しているため、平坦な表面構造をもつシリコン基板を出発材料として用いることが可能である。

【0031】

また、本発明の固体撮像素子は、前記フィールド酸化膜は、トレンチ内に形成されているものを含む。

【0032】

また、本発明の固体撮像素子は、前記フィールド酸化膜は、トレンチに充填された絶縁

膜であるものを含む。

この構成により、トレンチを形成しこの内部に絶縁膜を充填すればよいため、より容易に平坦化を行なうことが可能となる。

【0033】

また、本発明の固体撮像素子は、前記第1層導電性膜は、前記フィールド酸化膜上にダミーパターンを具備したものを含む。

この構成により、パターン密度の小さい領域にはダミーパターンを形成することにより、導電性膜のパターン精度を向上することができる。また、半導体基板上の配線部、フォトダイオード部以外の領域などパターン密度の小さい領域、特にウェハ周縁部では、レジストの膜厚が小さくなり、表面レベルが低下しやすいが、この構成では、ダミーパターンの追加によりレジストエッチバックに先立ち、表面レベルが周縁部でも低くならないようにすることができるため、電荷転送電極を単層化する際に生じるシリコン系導電性膜、特に第2層シリコン系導電性膜の膜減りを防止することができる。

【0034】

また、本発明の固体撮像素子の製造方法は、光電変換部と、前記光電変換部で生起せしめられた電荷を転送する単層電極構造の電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される周辺回路部とを具備した固体撮像素子の製造方法において、半導体基板表面にフィールド酸化膜を形成した後、前記電荷転送電極を形成するに先立ち、前記半導体基板表面全体を平坦化する工程を含むことを特徴とする。

この方法により、素子分離のためのフィールド酸化膜を形成した後、表面の平坦化を行なうようにしているため、高精度の平坦性を得ることができる。

【0035】

また、本発明の固体撮像素子の製造方法は、半導体基板表面に、前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられるフィールド酸化膜の形成領域に、トレンチを形成する工程と、前記トレンチ内にフィールド酸化膜を形成する工程と、前記フィールド酸化膜の形成された前記半導体基板表面を平坦化する工程と、前記半導体基板表面に、前記電荷転送電極、前記光電変換部および前記周辺回路部などの素子部を形成する工程とを含むものを含む。

【0036】

また、本発明の固体撮像素子の製造方法は、前記フィールド酸化膜を形成する工程は、選択酸化（LOCOS）工程を含むものを含む。

この方法によれば長時間を要するが膜質の良好なフィールド酸化膜を形成することが可能となる。

【0037】

また、本発明の固体撮像素子の製造方法は、前記フィールド酸化膜を形成する工程は、前記トレンチにCVD法により絶縁膜を充填する工程を含むものを含む。

この方法によれば、フィールド酸化膜の形成に要する時間の短縮を図ることができる。

なお、LOCOSとCVDとを併用し、同一基板面内で複数の方法を併用してもよい。

【0038】

また、本発明の固体撮像素子の製造方法は、前記半導体基板表面を平坦化する工程は、前記半導体基板表面にスピンコート法によりレジストを塗布する工程と、レジストエッチバック法により、平坦化する工程とを含むものを含む。

【0039】

また、本発明の固体撮像素子の製造方法は、前記半導体基板表面を平坦化する工程は、CMP（化学的機械研磨）法により前記半導体基板表面を平坦化する工程とを含むものを含む。

【0040】

また、本発明の固体撮像素子の製造方法は、前記素子部を形成する工程は、平坦化のなされた前記半導体基板表面に、前記半導体基板表面に、第1の電極、前記光電変換部および前記周辺回路部の第1層配線を構成する第1層導電性膜のパターンを形成する工程と、

前記第1の電極の少なくとも側壁に電極間絶縁膜を形成する工程と、前記第1の電極および前記電極間絶縁膜の形成された前記半導体基板表面に第2の電極を構成する第2層導電性膜を形成する工程と、前記第2層導電性膜を平坦化する工程とを含むものを含む。

【0041】

また、本発明の固体撮像素子の製造方法は、前記第2層導電性膜を平坦化する工程は、前記第2層導電性膜の上層にスピンコート法によりレジストを塗布する工程と、前記第2層導電性膜をレジストエッチバック法により、平坦化する工程とを含むものを含む。

【0042】

また、本発明の固体撮像素子の製造方法は、前記第1層導電性膜のパターンを形成する工程は、前記レジストの表面レベルが前記半導体基板上で所定の値以下とならないように、ダミーパターンを含む前記パターンを形成する工程を含むものを含む。

【0043】

また、本発明の固体撮像素子の製造方法は、前記第2層導電性膜を平坦化する工程は、CMP（化学的機械研磨）法により前記第2層導電性膜を平坦化する工程とを含むものを含む。

【0044】

また、本発明の固体撮像素子の製造方法は、前記第1層導電性膜のパターンを形成する工程は、前記第2層導電性膜の表面レベルが前記半導体基板上で所定の値以下とならないように、ダミーパターンを含む前記パターンを形成する工程を含む。

【0045】

半導体基板上の配線部、フォトダイオード部以外の領域などパターン密度の小さい領域、特にウェハ周縁部では、レジストの膜厚が小さくなり、表面レベルが低下しやすいが、この構成では、ダミーパターンの追加によりレジストエッチバックに先立ち、表面レベルが周縁部でも低くならないようにすることができ、電荷転送電極を単層化する際に生じる導電性膜、特に第2層導電性膜の膜減りを防止することができる。したがって、均一な膜厚の電荷転送電極および周辺回路を形成することができるため、素子特性のばらつきを防止し、信頼性の高い固体撮像素子を形成することが可能となる。なお、レジストをスピン塗布する際、ウェハの周縁部でレジストの表面レベルが低下しやすいが、周縁部以外の領域でもレジストの表面レベルが低下しやすい領域ではダミーパターンによりレジストの表面レベルを上げるようにするのが望ましい。

【0046】

また、本発明の固体撮像素子の製造方法は、前記第2層導電性膜を形成する工程に先立ち、前記第1の電極の表面にエッチングストッパとなるストッパ層を形成する工程を含み、前記平坦化工程は、前記ストッパ層をストッパとしてレジストエッチバックを行う工程であるものを含む。

【0047】

この構成により、第1の電極が削られることなく、第1の電極上でエッチングを停止することができるため、平坦性が良好で、高歩留まりの電荷転送部を形成することが可能となる。ここで第2層導電性膜をシリコン系導電性膜で構成する場合には、窒化シリコンなどを用いるのが望ましい。また、第1の電極のパターニングに際し、酸化シリコンと窒化シリコンとの2層膜をマスクとして用い、これをそのまま残してエッチングストッパに用いることにより、工数を増大することなく、良好なパターニングを可能にするとともに、平坦性に優れた電荷転送部を形成することが可能となる。

【0048】

また、本発明の固体撮像素子の製造方法は、前記第2層導電性膜を形成する工程に先立ち、前記第1の電極の表面にCMPストッパとなるストッパ層を形成する工程を含み、前記平坦化工程は、前記ストッパ層をストッパとしてCMPを行う工程であるものを含む。

【0049】

この構成により、第1の電極が削られることなく、第1の電極上でCMPを停止することができるため、平坦性が良好で、高歩留まりの電荷転送部を形成することが可能となる。

。ここで第2層導電性膜をシリコン系導電性膜で構成する場合には、窒化シリコンなどを用いるのが望ましい。また、第1の電極のパターニングに際し、酸化シリコンと窒化シリコンとの2層膜をマスクとして用い、これをこのまま残してCMPストッパに用いることにより、工数を増大することなく、良好なパターニングを可能にするとともに、平坦性に優れた電荷転送部を形成することが可能となる。

【発明の効果】

【0050】

本発明の方法によれば、固体撮像素子の有効撮像領域を囲むように形成されるフィールド酸化膜の表面が光電変換部の表面レベルと同程度即ち、段差がゼロとなるように位置しているため、表面の平坦化を図り、固体撮像素子、特に電荷転送電極の高精度化をはかることができる。また特に有効撮像領域と非撮像領域との境界部における平坦化膜の段差を低減し、パターン精度の向上をはかることができる。またCMPあるいはレジストエッチバック法により平坦化を行なう際、下地のパターンの有無に起因する表面レベルのばらつきによる、第2層導電性膜の膜減りを防止し、高感度で電荷転送効率の高い固体撮像素子を形成することが可能となる。

【発明を実施するための最良の形態】

【0051】

以下本発明の実施の形態について図面を参照しつつ説明する。

（第1の実施の形態）

【0052】

本実施の形態の固体撮像素子は、図1(a)および(b)に示すように、光電変換部と、前記光電変換部で生起せしめられた電荷を転送する電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される出力回路を含む周辺回路部とを具備した固体撮像素子においてその有効撮像領域（受光領域）Aを囲むように枠状に形成されたフィールド酸化膜10の表面が、フォトセンサを備えた光電変換部と電荷転送部の表面レベルと同一となるようにリセスロコス（Recess LOCOS）法によって形成されたことを特徴とする。ここで図1(a)は固体撮像素子チップを示す概要図であり、ここで有効撮像領域は、光電変換部と垂直転送路（電荷転送部の一部）を含む受光領域と水平転送路（電荷転送部の一部）とで構成されており、その外側に周辺回路部としての出力回路が形成されている。ここでpは固体撮像素子チップ周縁部に設けられたパッドである。また出力回路を含む周辺回路部は非撮像領域Bに相当する。

なお、図1(a)および(b)に概要説明図を示すように、シリコン基板1には、光電変換部を構成する複数のフォトダイオード領域が形成され、フォトダイオードで検出した信号電荷を転送するための電荷転送部が、フォトダイオード領域の間に形成される。ここで図1(b)は図1(a)のA-A線に沿って切断して得られる断面である。

フィールド絶縁膜以外の部分については、図10乃至図12に示した通例の固体撮像素子と同様に形成されている。

【0053】

すなわち、図1(a)および(b)に示すように、フィールド酸化膜10が基板1の表面に形成されたトレンチT内に形成され、基板1の表面レベルとフィールド酸化膜10の表面レベルとが同一となるように形成されていることを特徴とする。

【0054】

シリコン基板1表面に形成されたトレンチT内に、選択酸化によるフィールド酸化膜10が形成されており、非撮像領域Bと有効撮像領域Aとの界面での段差が0となるようにCMP処理がなされている。そしてシリコン基板1内にフォトダイオードを含む光電変換部が形成されると共に、このフォトダイオードによる光電電流を電荷転送部を介して読み出すように構成されている。

【0055】

ここでは、シリコン基板1の非撮像領域および電荷転送部の素子分離領域に形成された、深さ600nm程度のトレンチT内に選択酸化による厚さ600nmのフィールド酸化

膜10としての酸化シリコン膜が形成されている。このフィールド酸化膜10上には、信号電荷を水平方向に転送する水平転送レジスタや信号処理回路および配線7が形成されている。

【0056】

すなわち、図1(a)および(b)に固体撮像素子チップの平面図およびそのA-A断面図を示すように、シリコン基板1内には、フィールド酸化膜10で囲まれた有効撮像領域(受光領域)A内にフォトダイオードを備えた光電変換部および電荷転送部が形成され、その上層は絶縁膜で被覆されている。

【0057】

そしてフィールド酸化膜10上には配線7が形成され、更にその上層は平坦化膜を含む中間層(図示せず)が形成され、さらにその上層にカラーフィルタ(図示せず)、マイクロレンズ(図示せず)からなる光学系(図示せず)が設けられている。

【0058】

かかる構成によれば、図1(a)および(b)に示すように、平坦な表面にパターンが形成されているため極めて高精度のパターン形成が可能となり、極めて微細な電荷転送部の形成が可能となる。また周辺回路部を含む配線も微細化が可能となる。

【0059】

次に本実施の形態の固体撮像素子の製造工程について図2乃至図6を参照しつつ説明する。

【0060】

まず、図2(a)に示すように、n型のシリコン基板1を用意する。

そして、パツファ用の酸化シリコン膜M1および窒化シリコン膜M2を形成しフォトリソグラフィによりこれらをパターンニングし、2層構造のマスクパターンを形成する。

次いで図2(b)に示すように、このマスクパターンをマスクとして基板表面をエッチング除去し、表面にトレンチTを形成する。

【0061】

この状態で、900℃の酸化性雰囲気中で加熱し、図2(c)に示すように、膜厚400から600nm程度の酸化シリコン膜からなるフィールド酸化膜10を形成する。

【0062】

そして図2(d)に示すように、この窒化シリコン膜M2を除去する。

最後に図2(e)に示すように、CMPにより平坦化をはかり、全く段差のない平坦な表面を持つフィールド酸化膜10を形成する。このとき酸化シリコン膜M1も除去される。

【0063】

電荷転送電極によって転送される信号電荷が移動する電荷転送チャネル33は、図1(a)では図示していないが、電荷転送部が延在する方向と交差する方向に、形成される。

【0064】

シリコン基板1内には、光電変換部、電荷転送チャネル、チャネルストップ領域、電荷読み出し領域が形成され、シリコン基板1表面には、ゲート酸化膜2が形成される。ゲート酸化膜2表面には、酸化シリコン膜からなる電極間絶縁膜5と電荷転送電極(第1層ドーフトアモルファスシリコン膜3aからなる第1の電極、第2層ドーフトアモルファスシリコン膜3bからなる第2の電極)が形成される。

【0065】

電荷転送部は、上述したとおりであるが、電荷転送部の電荷転送電極上面には中間層が形成される。中間層は遮光膜、BP SG(boro-phospho silicate glass)からなる絶縁膜、P-SiNからなる絶縁膜(パッシベーション膜)、透明樹脂膜からなる平坦化層で構成される。

【0066】

固体撮像素子の上方には、光電変換部の光検知部分を除いて遮光膜が設けられ、さらにカラーフィルタ、マイクロレンズが設けられる。また、カラーフィルタとマイクロレンズ

との間は、絶縁性の透明樹脂等からなる平坦化層が充填される。

また、図1では、いわゆるハニカム構造の固体撮像素子を示しているが、正方格子型の固体撮像素子にも適用可能であることはいうまでもない。

【0067】

次にこのようにしてフィールド酸化膜の形成されたシリコン基板表面に固体撮像素子を形成する工程について図3乃至図5を参照しつつ詳細に説明する。

まず、不純物濃度 $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度のn型のシリコン基板1表面に、膜厚15～35nmの酸化シリコン膜2aと、膜厚50nmの窒化シリコン膜2bと、膜厚10nmの酸化シリコン膜2cを形成し、3層構造のゲート酸化膜2を形成する。

【0068】

続いて、このゲート酸化膜2上に、 PH_3 と N_2 とを添加した SiH_4 を反応性ガスとして用いた減圧CVD法により、膜厚 $0.4 \mu\text{m}$ のリンドープの第1層ドーフトアモルファスシリコン膜3aを形成する。このときの基板温度は $600 \sim 700^\circ\text{C}$ とする。

【0069】

この後、減圧CVD法により膜厚15nmの酸化シリコン膜4aと、膜厚50nmの窒化シリコン膜4bとを形成する（図3（a））。

【0070】

続いて、そしてこの上層にポジレジストを厚さ $0.5 \sim 1.4 \mu\text{m}$ となるように塗布し、フォトリソグラフィにより所望のマスクを用いて露光し、現像、水洗を行い、レジストパターンR1および、必要に応じてダミー（レジスト）パターン（ここでは図示せず）を形成する（図3（b））。ここでダミーパターンはシリコン基板1の周縁部で、レジストパターンR1からの間隔が所定幅（第1の電極の間隔）以上とならないようにレイアウト時に形成される。

【0071】

この後、 CHF_3 と C_2F_6 と O_2 とHeとの混合ガスを用いた反応性イオンエッチングにより、酸化シリコン膜4aと、窒化シリコン膜4bとをエッチングし、第1層導電性膜としての第1層ドーフトアモルファスシリコン膜3aのパターニング用のマスクパターンを形成する（図3（c））。ここでもダミーのマスクパターンが、本来の第1の電極形成用のマスクパターンの左手に形成されている。ここでは、酸化シリコン膜4aと、窒化シリコン膜4bとの2層膜からなるマスクパターンをマスクとして第1層導電性膜のパターニングを行う。このようなハードマスクをマスクとして用いることにより、レジストパターンをマスクとする場合に比べてより高精度のパターニングが可能となる。

【0072】

そしてアッシングによりレジストパターンを剥離除去する（図4（d））。このとき、第1層ドーフトアモルファスシリコン膜3aは本来の第1の電極のパターンに加え、その部分の左手に、ダミーパターンが形成される。

【0073】

この後、 HBr と O_2 との混合ガスを用いた反応性イオンエッチングによりこのマスクパターンをマスクとし、ゲート酸化膜2の窒化シリコン膜2bをエッチングストッパとして第1層ドーフトアモルファスシリコン膜3aを選択的にエッチング除去し、第1の電極および周辺回路の配線を形成する（図4（e））。ここではECR（電子サイクロトロン共鳴：Electron Cyclotron Resonance）方式あるいはICP（誘導結合Inductively Coupled Plasma）方式などのエッチング装置を用いるのが望ましい。

【0074】

続いて、酸化法により第1の電極のパターンの側面に膜厚80nmの酸化シリコン膜からなる電極間絶縁膜5を形成する（図4（f））。

【0075】

次に、この外側を高温酸化により酸化シリコン膜（HTO）6で被覆する（図5（g））。そして、 SiH_4 ガスに PH_3 と N_2 とを添加した反応性ガスを用いた減圧CVD法により第2層導電性膜として膜厚 $0.4 \sim 0.7 \mu\text{m}$ の第2層ドーフトアモルファスシリ

コン膜 3 b を形成する (図 5 (h))。このとき第 2 層ドーフトアモルファスシリコン膜 3 b の膜厚は第 1 層ドーフトアモルファスシリコン膜 3 a およびその上層の酸化シリコン膜 4 a および窒化シリコン膜 4 b の膜厚の合計膜厚と同程度かそれよりも厚くなるように形成する必要がある。

【0076】

そして、第 2 層ドーフトアモルファスシリコン膜 3 b の形成された表面にレジストを塗布し、表面レベルが完全に平坦となるようにする。ここでレジストとしては、OFPR 800 を使用し膜厚 700 ~ 800 nm 塗布する。

【0077】

続いて、図 5 (i) に示すように、レジストと第 2 層ドーフトアモルファスシリコン膜 3 b のエッチング速度がほぼ同一となる条件で、全面エッチングを行い、第 2 層ドーフトアモルファスシリコン膜 3 b の平坦化を行う。このとき、第 1 の電極のパターニング工程でマスクとして用いた窒化シリコン膜 4 b がエッチングストッパとなるため、制御性よく平坦化を行うことができる。

【0078】

この後、図 6 (j) に示すように、周辺回路形成のためのレジストパターン R 2 を形成する。ここでは、固体撮像素子形成部および周辺回路部の一部を覆うようにレジストパターン R 2 を形成する。

【0079】

そして、図 6 (k) に示すように、このレジストパターン R 2 をマスクとして、フォトダイオード領域 30 上の第 2 層ドーフトアモルファスシリコン膜 3 b をエッチング除去するとともに周辺回路の配線 7 としてのパターンを残留させる。

そして、アッシングによりレジスト除去を行なうことにより、固体撮像素子形成部および周辺回路部の一部を覆うように第 2 層ドーフトアモルファスシリコン膜 3 b が形成される。

【0080】

さらに図 6 (l) に示すように、表面に酸化シリコン膜 8 を形成し、第 2 層ドーフトアモルファスシリコン膜 3 b からなる第 2 の電極を形成し、表面の平坦な電荷転送電極が形成される。

図 7 はこの状態でのウェハ全体を示す図であるが、スクライブライン DL を除いて全体にわたって平坦である。

【0081】

そしてこの上層に遮光膜のパターン、膜厚 700 nm の BPSG 膜を形成し、850℃でリフローし平坦化する。そして P-SiN からなる絶縁膜 (バッシベーション膜)、透明樹脂膜からなる平坦化層を形成する。

この後、カラーフィルタ、平坦化層、マイクロレンズなどを形成して、図 1 (a) および (b) に示すような固体撮像素子を得る。なお図 1 (b) では主要部のみを示し、光学系などは省略した。

【0082】

この方法によれば、完全に平坦化され段差 0 の基板表面に光電変換部、電荷転送部および周辺回路部を形成しているため、高精度のパターン形成を実現することができ、機能的にも信頼性の高い動作特性を得ることができる。

【0083】

また、必要に応じて、基板周縁部など、第 1 の電極のパターン密度が小さいところ、特に基板周縁部など、スピン塗布によりレジストを塗布する際にレジストの表面レベルが低くなることのないように、ダミーパターンを形成してもよい。

このようにして微細でかつ、特性のはらつきがなく、信頼性の高い固体撮像素子を形成することができる。

【0084】

なお、前記実施の形態では、平坦化工程としてエッチバック法を採用したが、CMP を

用いてもよく、この場合にも第1の電極のパターニング工程で用いた窒化シリコン膜4bがCMPストッパとして有効に作用し、平坦性に優れた電荷転送部を形成することができる。

【0085】

また前記実施の形態では、電極間絶縁膜5を第1の電極の周りに減圧CVD法によって形成した後、高温酸化膜6を形成したが、これに代えて、熱酸化によって電極間絶縁膜を形成するようにしてもよい。すなわち、第1の電極のパターニング用マスクおよび第2の電極の平坦化に際してエッチングストッパとして用いる酸化シリコン膜および窒化シリコン膜の2層膜の窒化シリコン膜を酸化防止膜として、第1の電極の熱酸化を行うことにより、第1の電極の側壁に選択的に酸化シリコン膜を形成し、これを電極間絶縁膜とする。この場合は、あらかじめこの酸化される領域分、第1の電極幅が大きくなるようにレジストパターンを形成する必要がある。

【0086】

(第2の実施の形態)

前記第1の実施の形態では、第1層アモルファスシリコン膜で構成された第1の電極と第2層アモルファスシリコン膜で構成された第2の電極とによって単層電極構造の電荷転送部を形成したが、1層で単層構造の電荷転送部を形成してもよい。

この場合は、第1層アモルファスシリコン膜を成膜したのち、フォトリソグラフィ、電子ビームリソグラフィなどの方法でパターニングするようにすればよい。

【0087】

(第3の実施の形態)

前記第1の実施の形態では、LOCOS法でフィールド酸化膜を形成する例について説明したが、図8に示すようにトレンチT内にCVD法により酸化シリコン膜20を充填し、表面をCMP研磨することにより、平坦化したものも有効である。他の部分については前記第2の実施の形態と同様であるため、説明は省略する。

この方法によればLOCOSの場合に比べてバースピークもなく微細化が可能である。熱歪によるクラックの発生については、CVD成長時の条件の最適化により問題は解消可能である。

【0088】

(第4の実施の形態)

前記第1の実施の形態では、LOCOS法でフィールド酸化膜を形成する例、第3の実施の形態ではSTI(シャロウトレンチ絶縁)について説明したが、図9に示すように必要に応じてトレンチTに酸化シリコン膜20を埋め込むものとLOCOS法による絶縁膜10を形成したものとは混在していてもよい。

この方法によればLOCOSの場合に比べてバースピークもなく微細化が可能であるが、熱歪によってトレンチ内にクラックが入り易いなどの問題があることもある。

【産業上の利用可能性】

【0089】

以上説明してきたように、本発明によれば、高精度に平坦化のなされた基板表面に光電変換部および電荷転送部を形成しているため、微細なパターニングが可能となり、 $0.1\mu\text{m}$ 以下の電極間距離をもつ光電変換部についても容易に形成可能であり、特性のばらつきを低減し、信頼性の高い電荷転送電極を得ることができることから、微細でかつ高感度の固体撮像装置の形成に有効である。

【図面の簡単な説明】

【0090】

【図1】本発明の第1の実施の形態の固体撮像素子を示す図である。

【図2】本発明の第1の実施の形態の固体撮像素子の製造工程を示す図である。

【図3】本発明の第1の実施の形態の固体撮像素子の製造工程を示す図である。

【図4】本発明の第1の実施の形態の固体撮像素子の製造工程を示す図である。

【図5】本発明の第1の実施の形態の固体撮像素子の製造工程を示す断面図である。

【図 6】 本発明の第 1 の実施の形態の固体撮像素子の製造工程を示す断面図である。

【図 7】 本発明の第 1 の実施の形態の固体撮像素子の形成されたウェハ全体を示す斜視図である。

【図 8】 本発明の第 3 の実施の形態の固体撮像素子を示す断面図である。

【図 9】 本発明の第 4 の実施の形態の固体撮像素子を示す断面

【図 10】 従来例の固体撮像素子の製造工程を示す図である。

【図 11】 従来例の固体撮像素子の製造工程を示す図である。

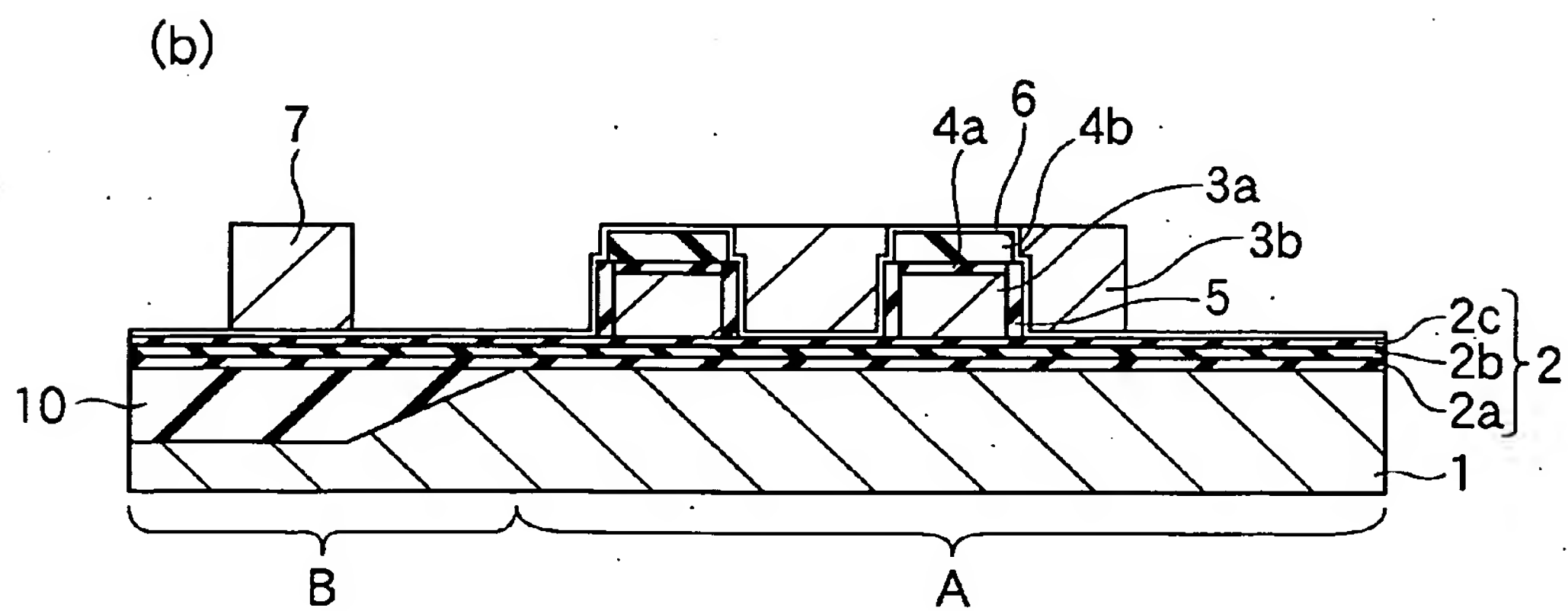
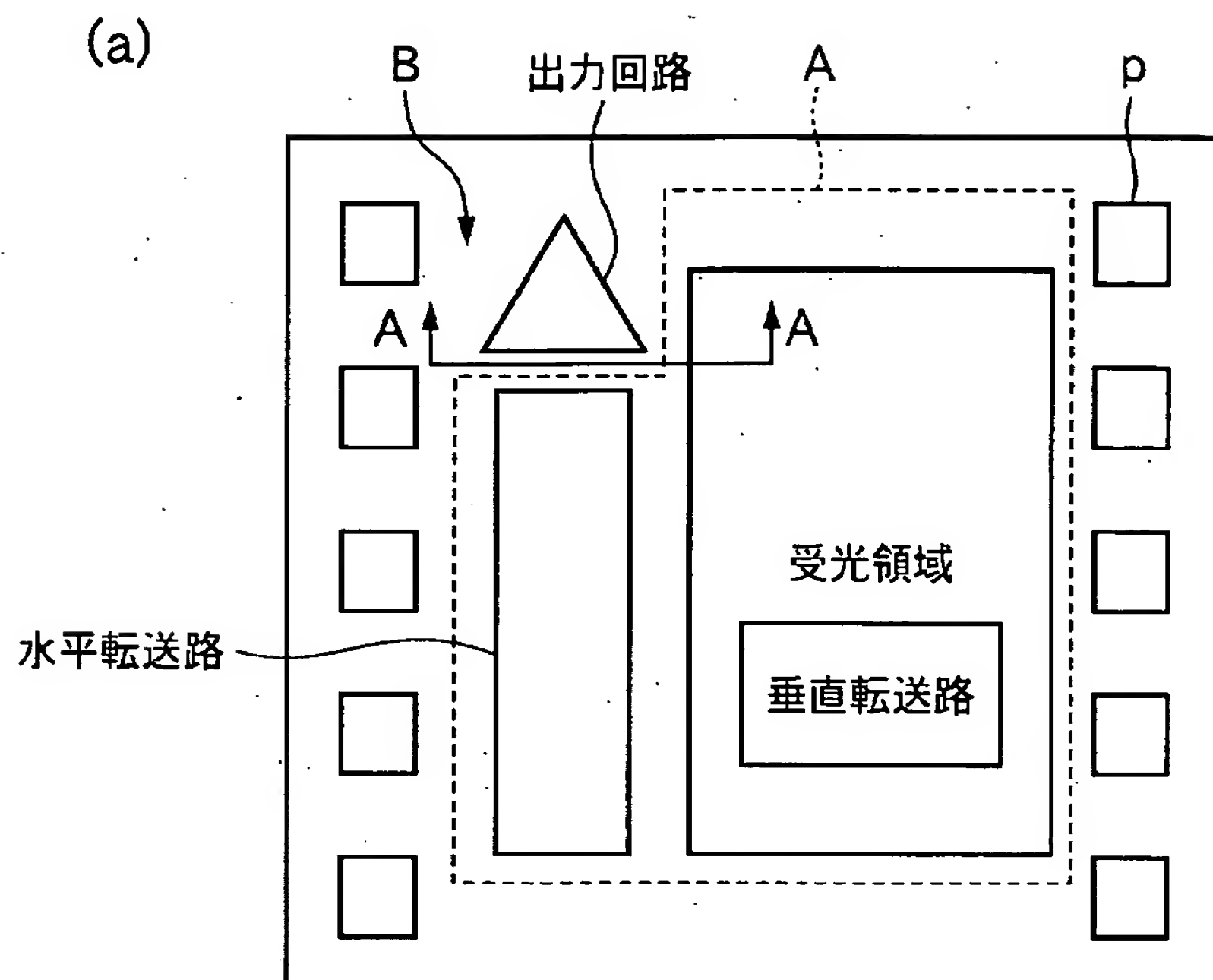
【図 12】 従来例の固体撮像素子の製造工程を示す図である。

【符号の説明】

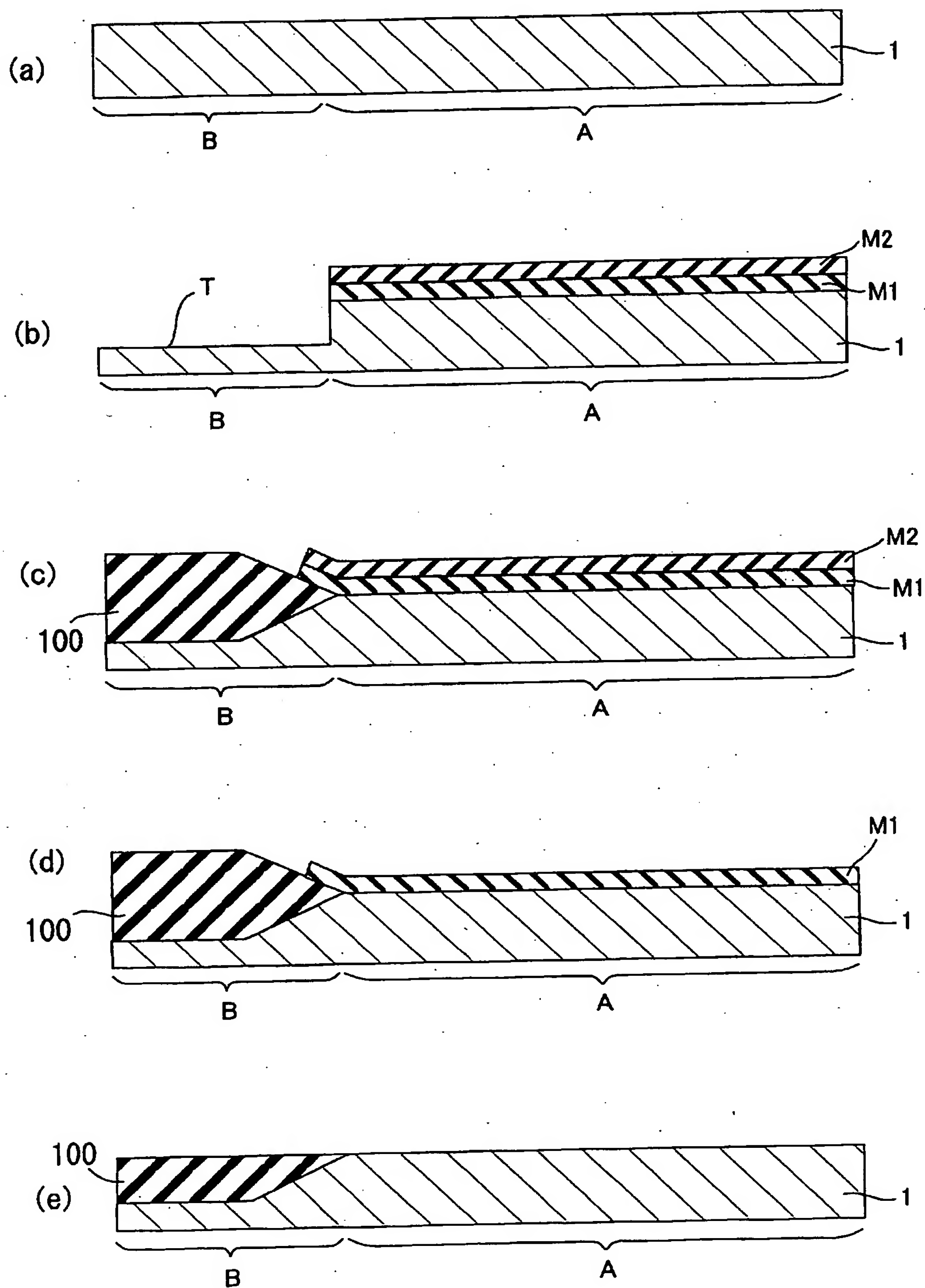
【0091】

- 1 シリコン基板
- 2 ゲート酸化膜
- 3 a 第 1 の電極（第 1 層ドーフトアモルファスシリコン膜）
- 3 b 第 2 の電極（第 2 層ドーフトアモルファスシリコン膜）
- 3 電荷転送電極
- 4 a 酸化シリコン膜
- 4 b 窒化シリコン
- 5 電極間絶縁膜
- 6 酸化シリコン膜
- 7 配線
- 8 酸化シリコン膜
- A 有効撮像領域
- B 非撮像領域

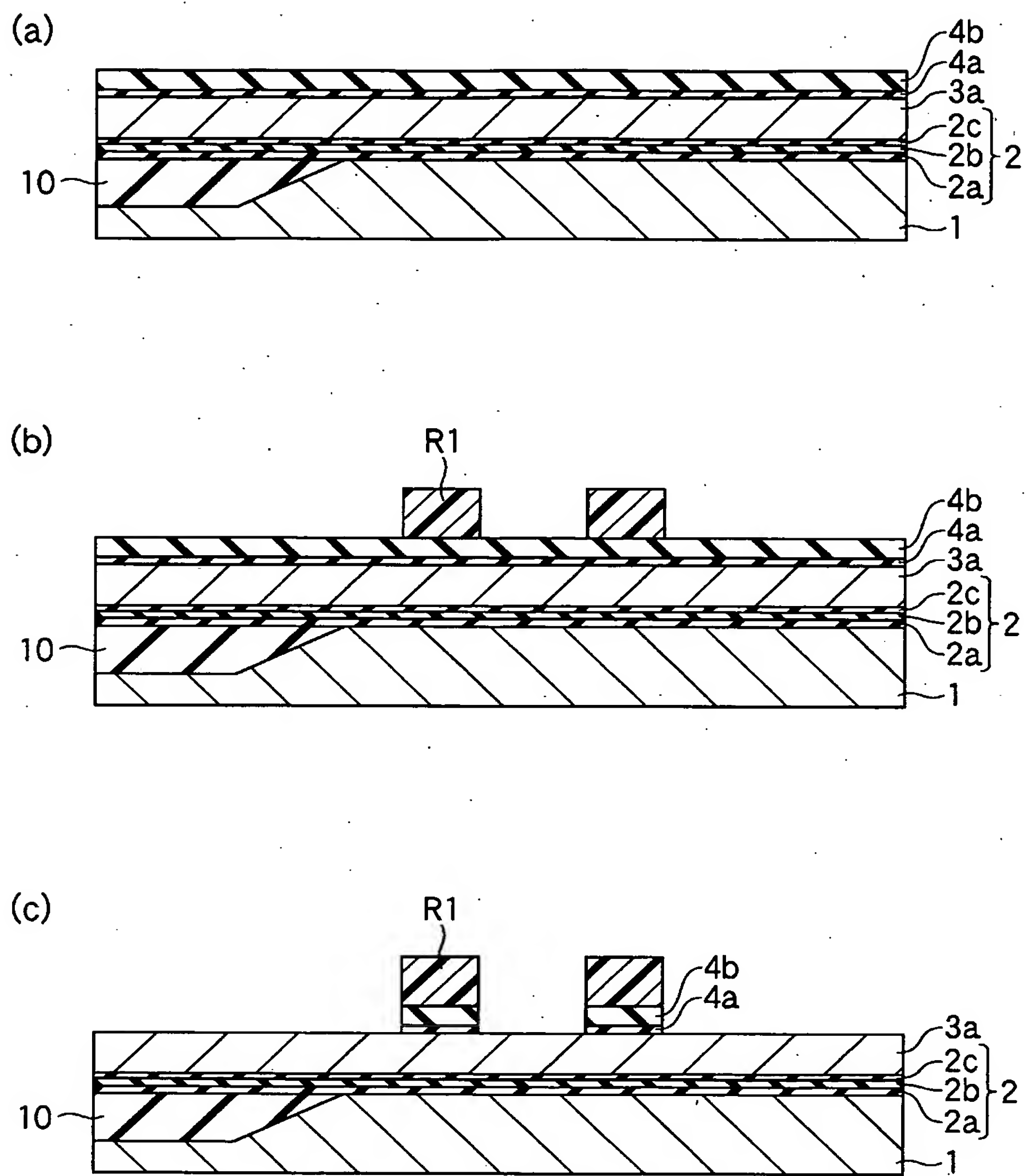
【書類名】 図面
【図 1】



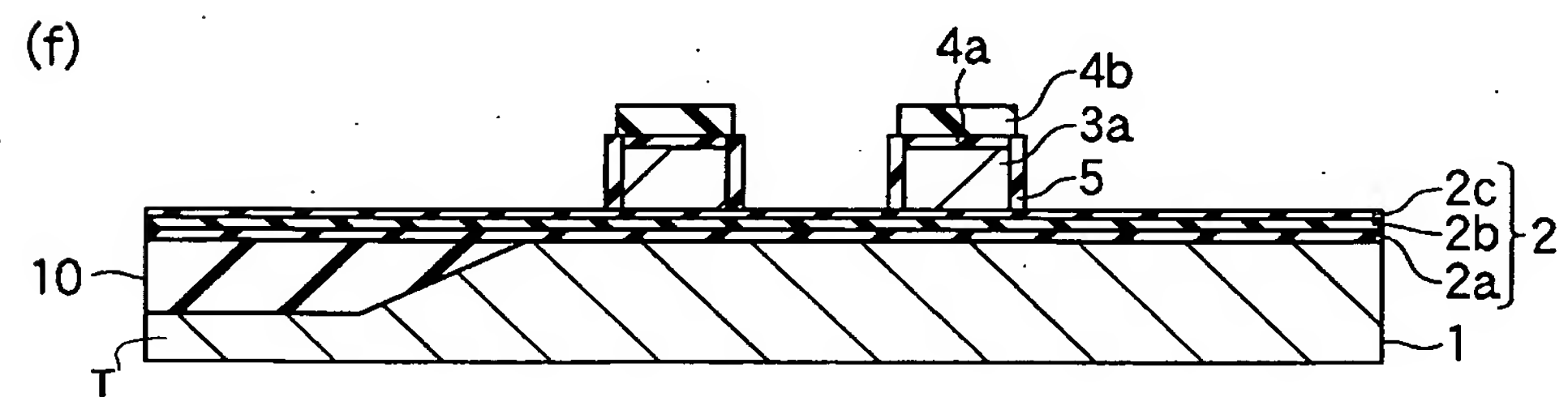
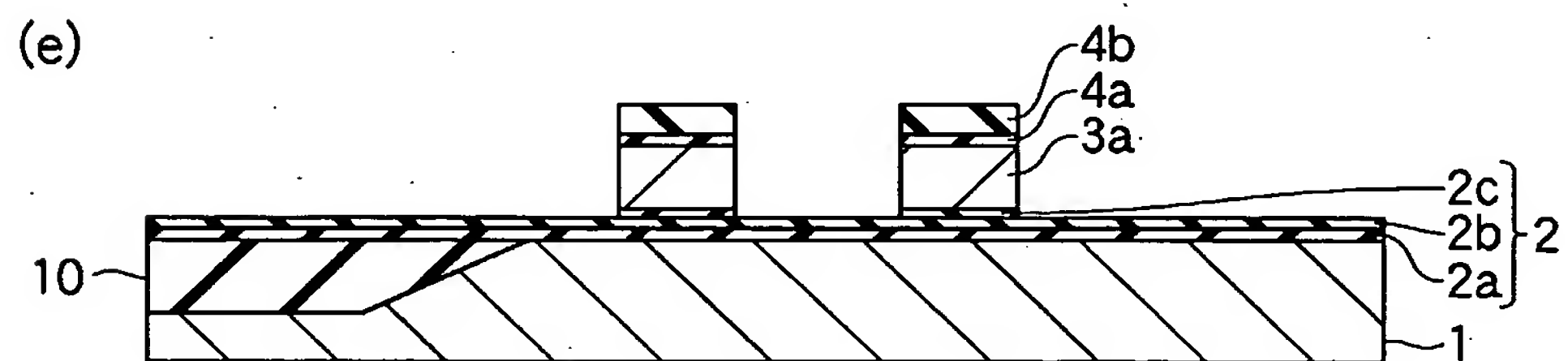
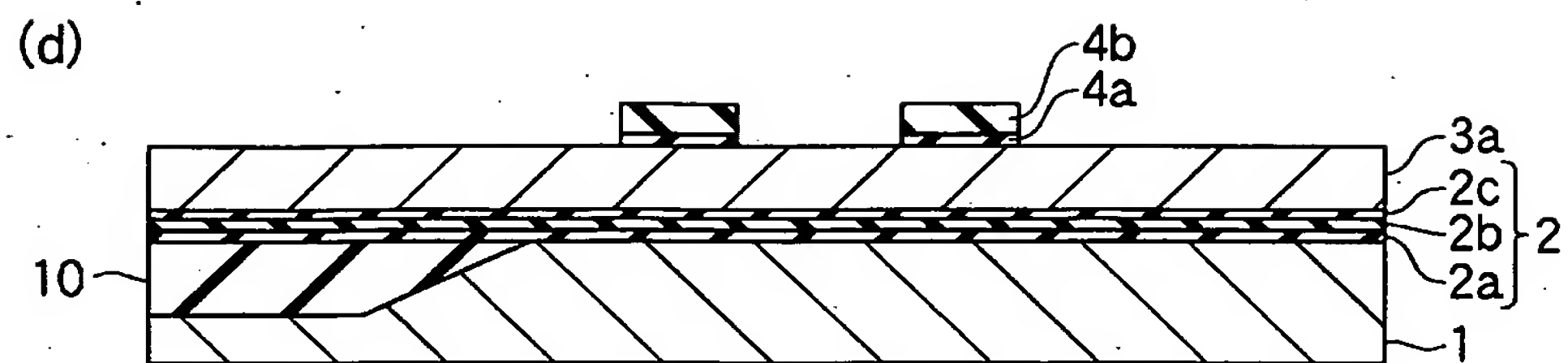
【図 2】



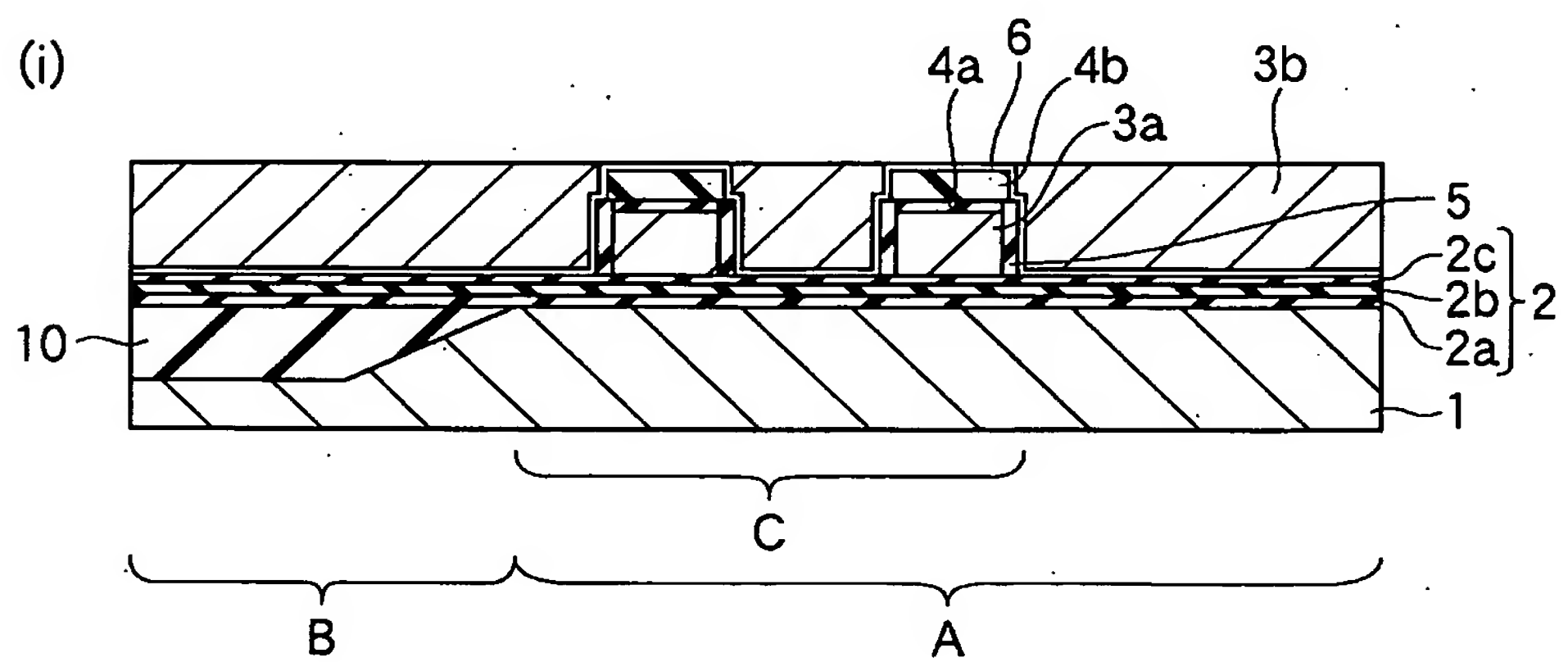
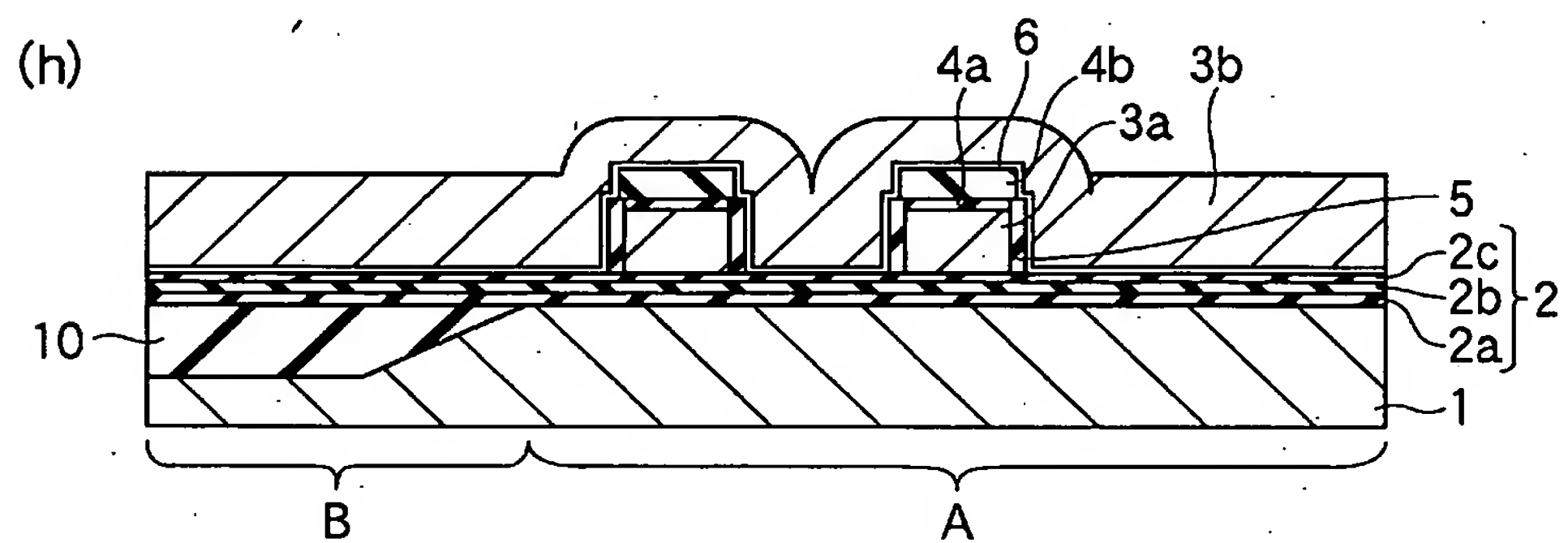
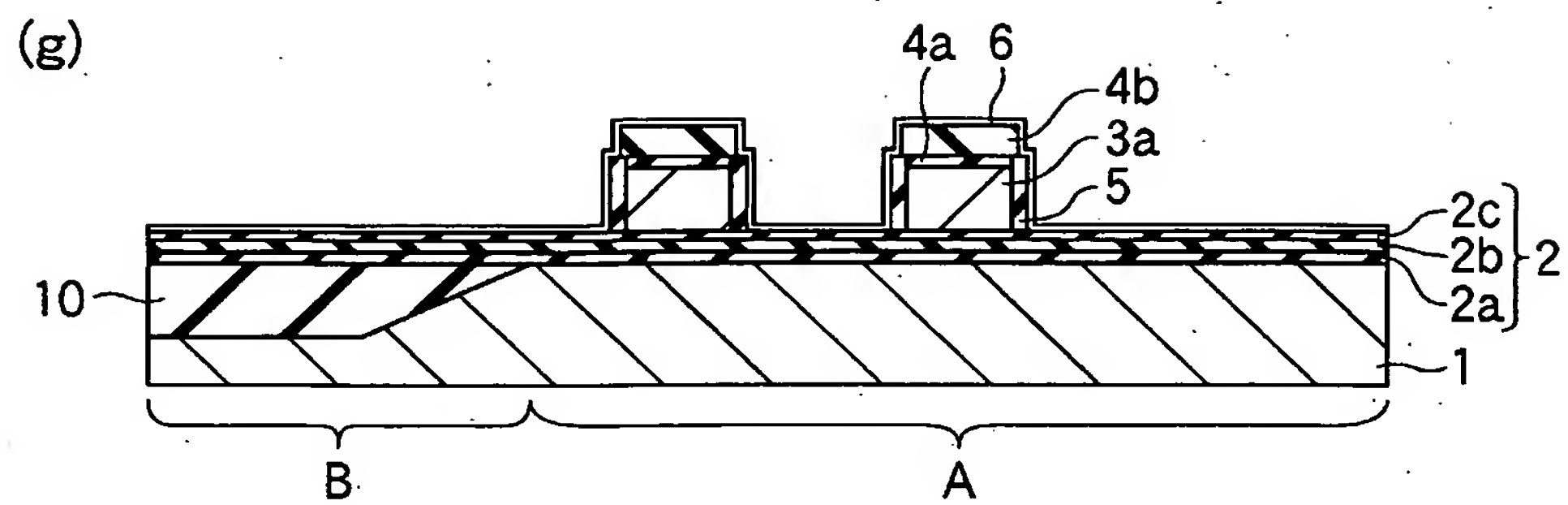
【図 3】



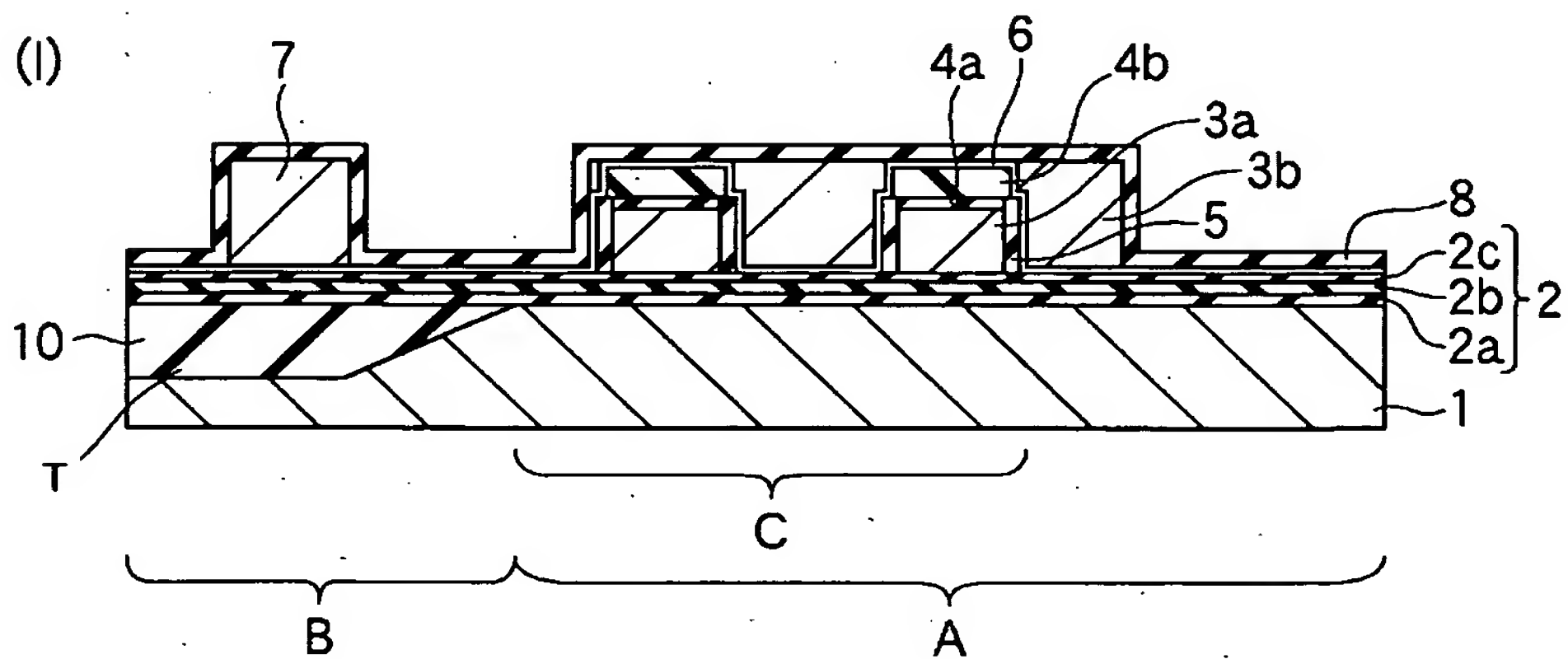
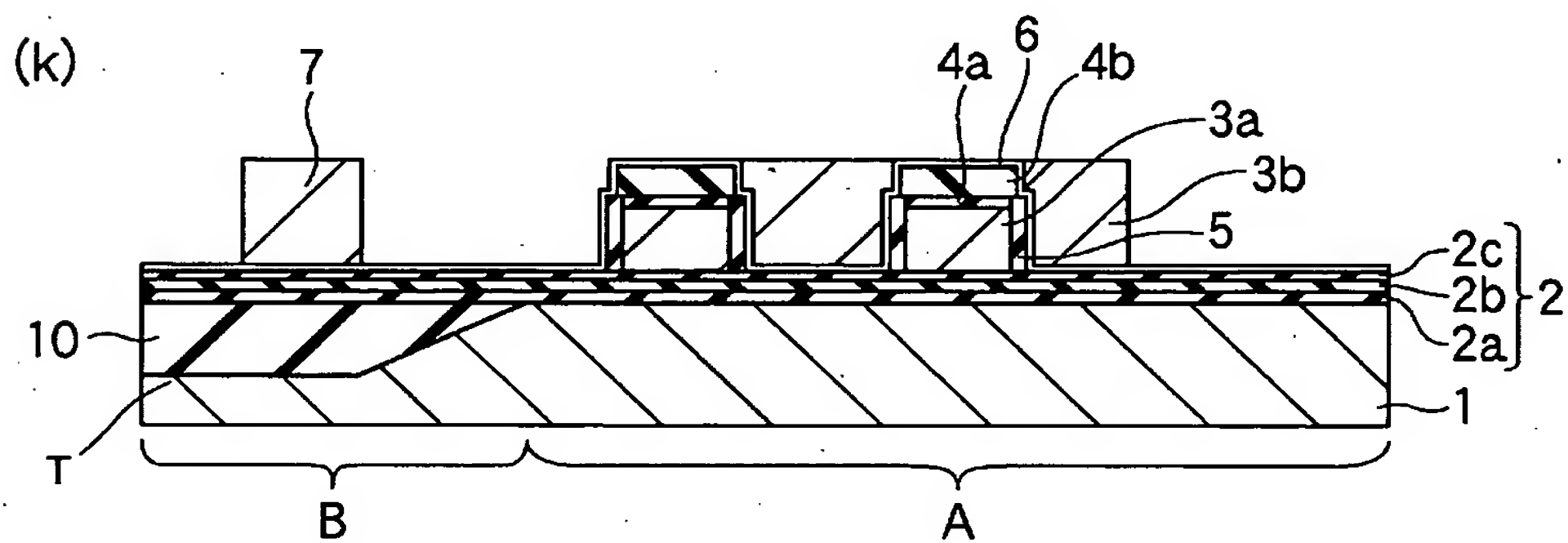
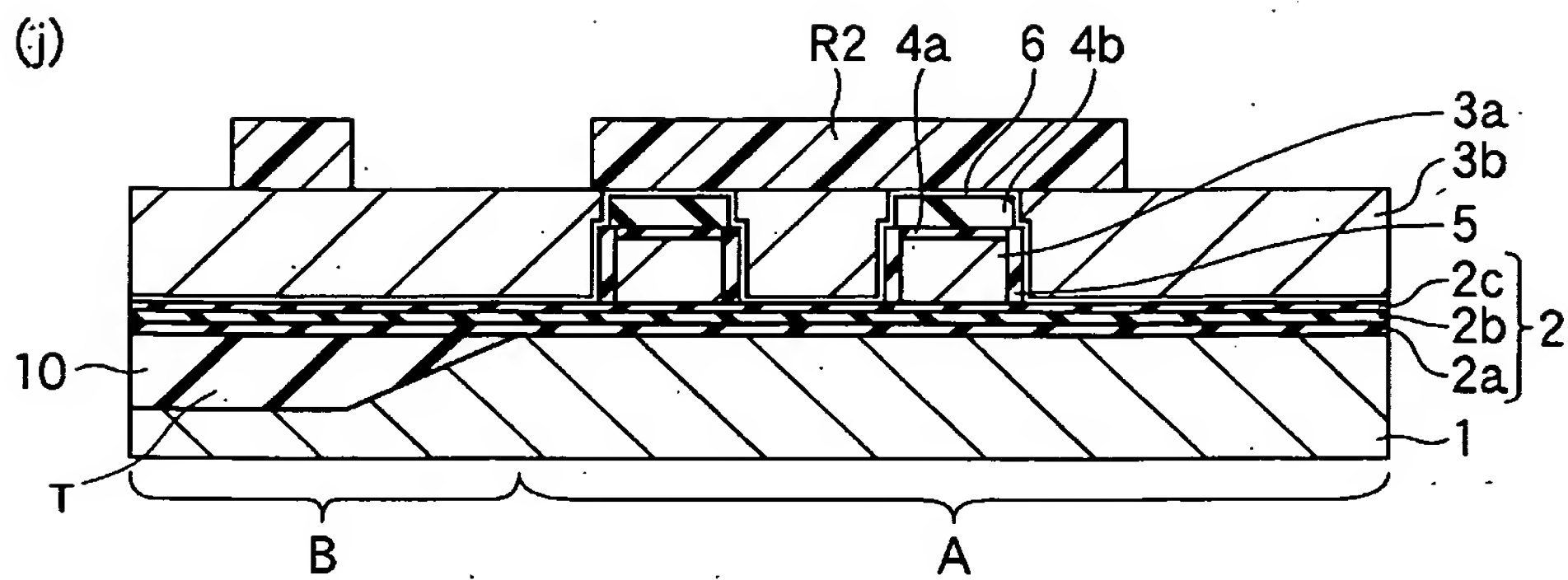
【図 4】



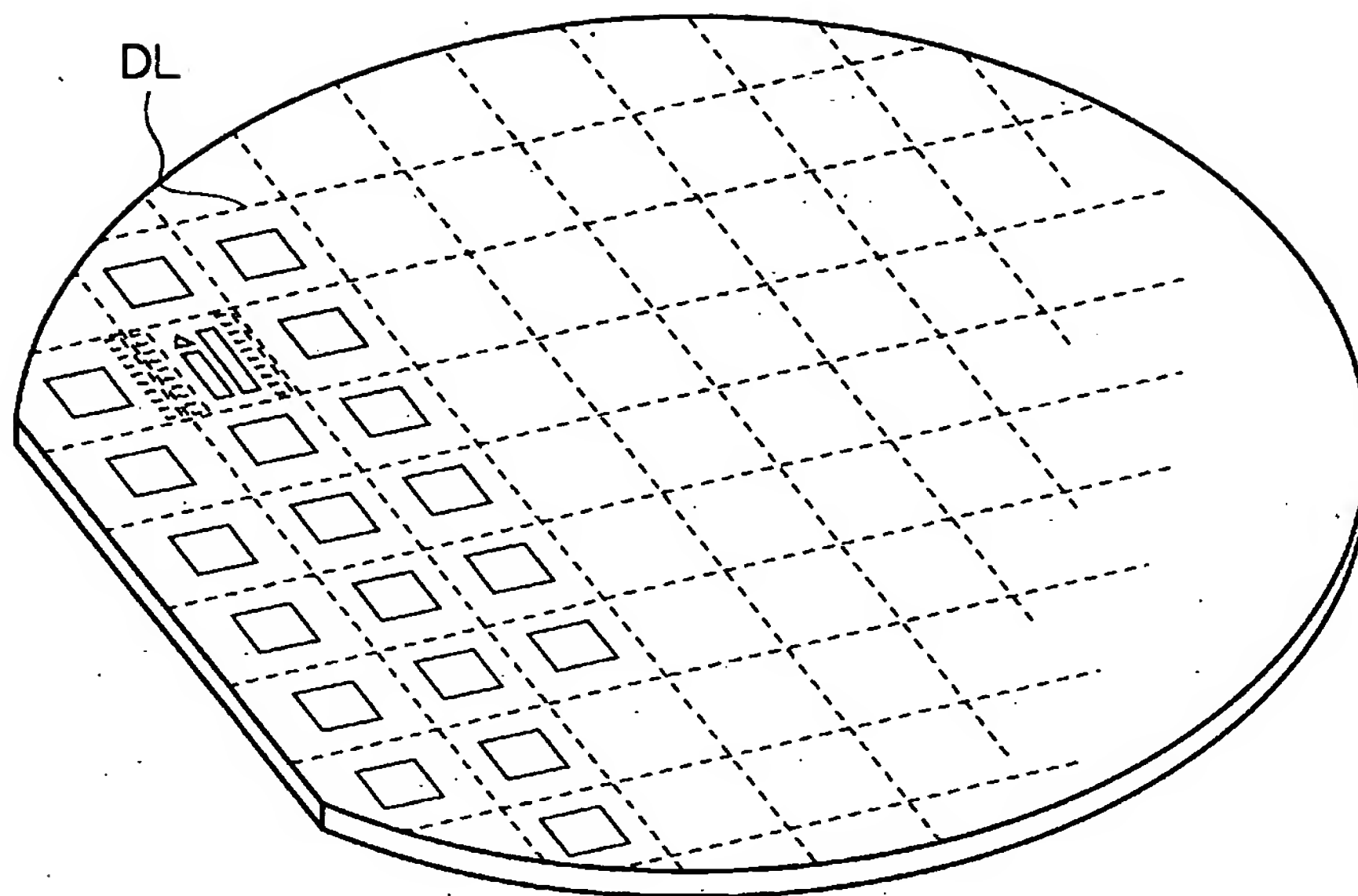
【図 5】



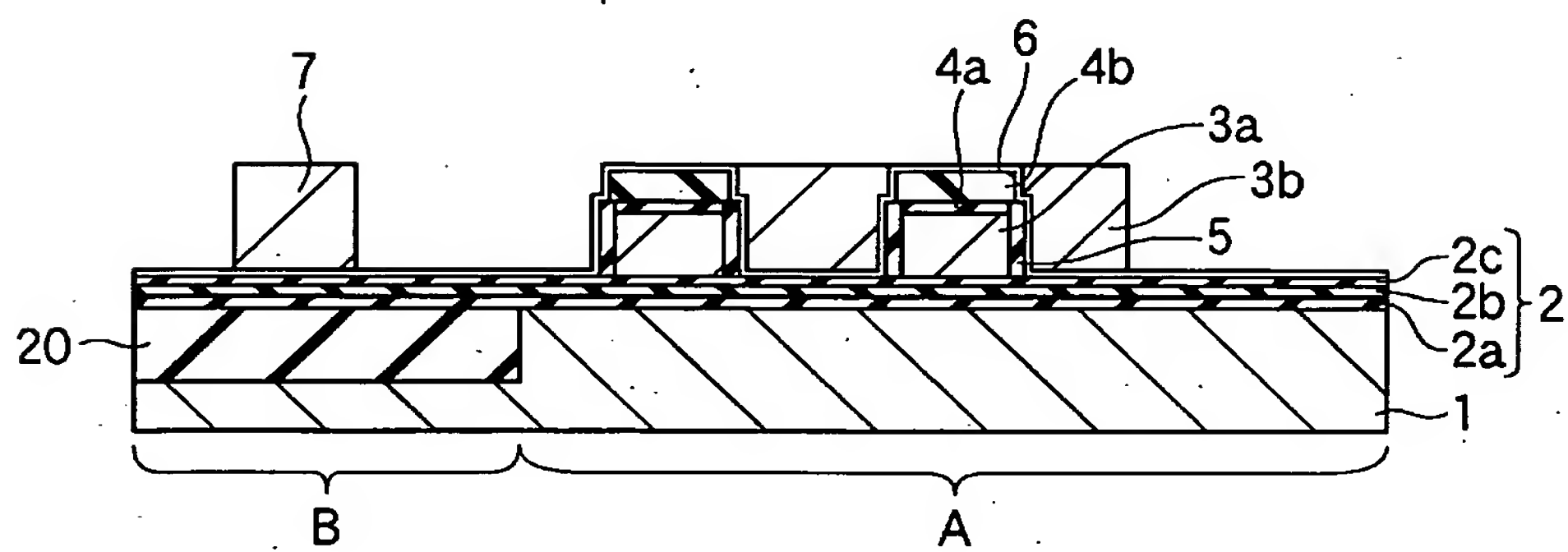
【図 6】



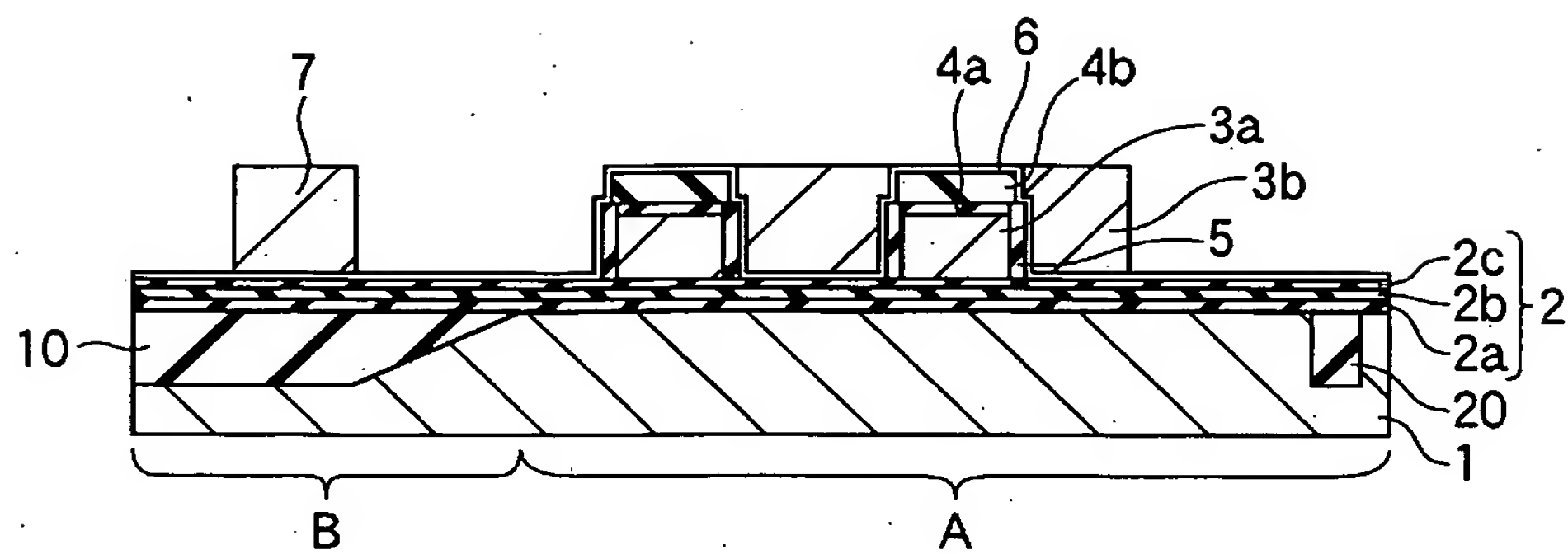
【図 7】



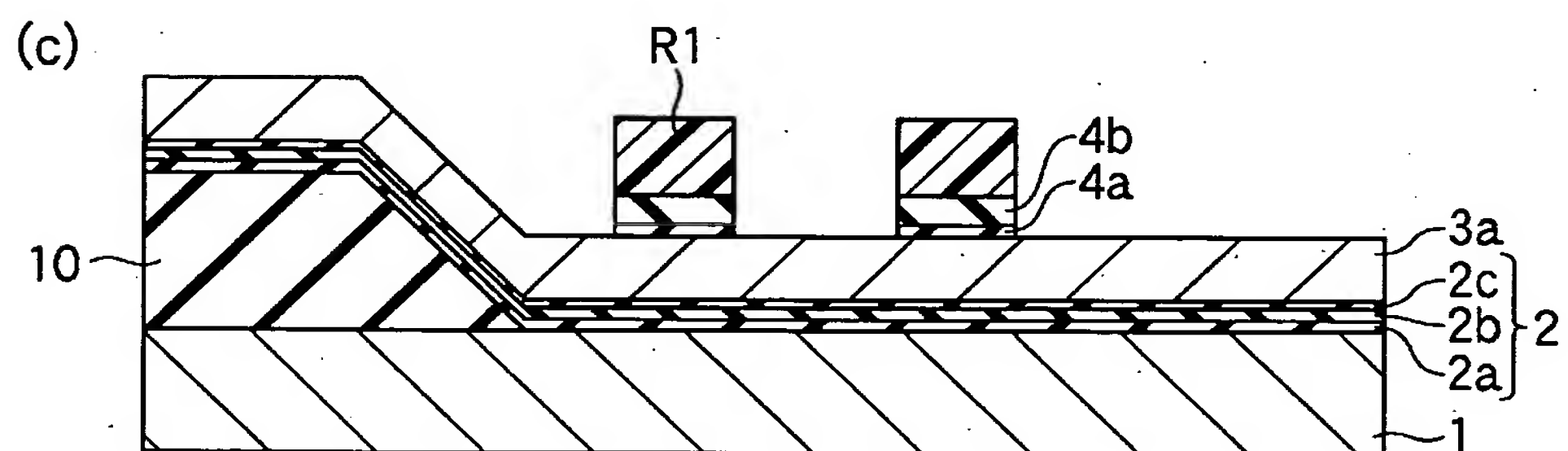
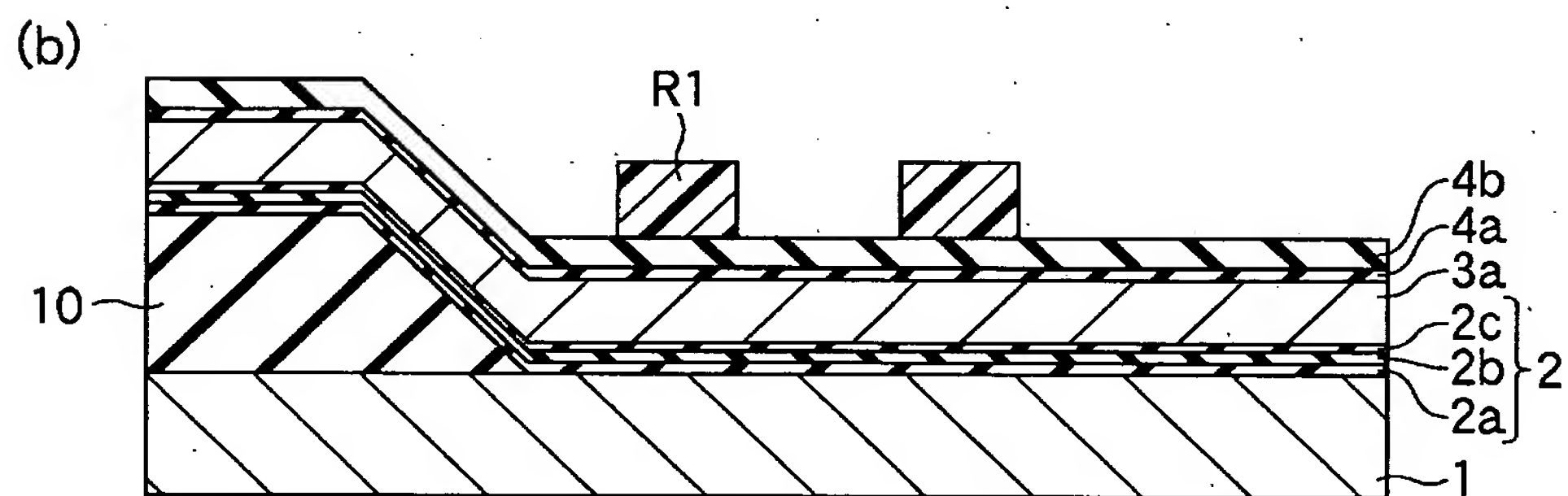
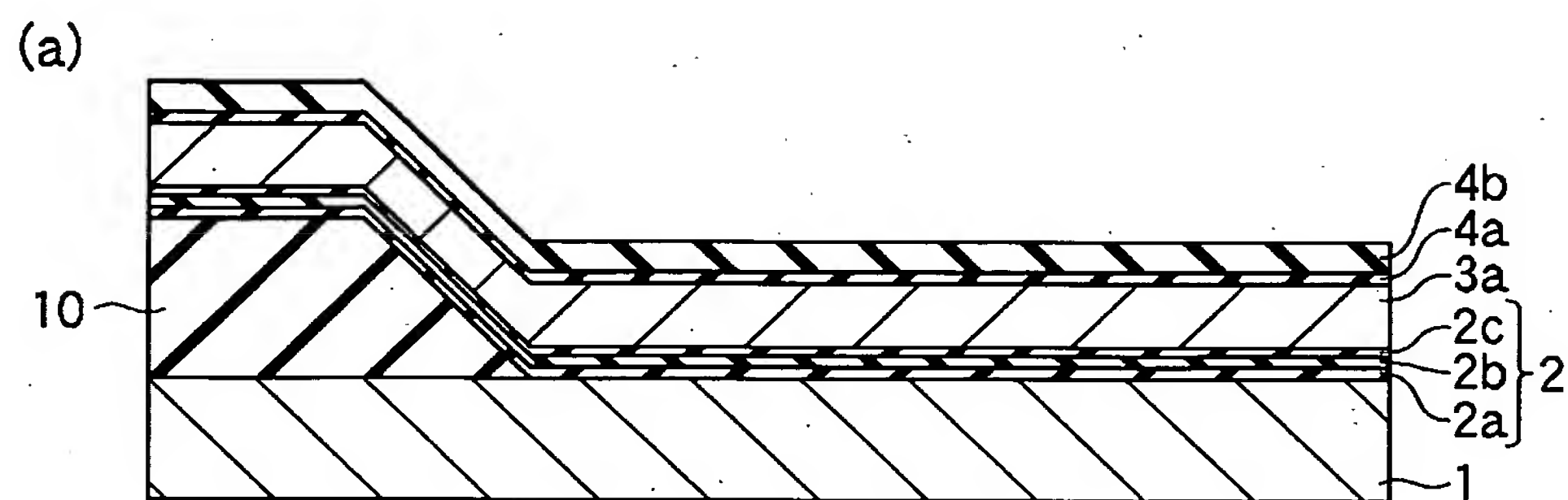
【図 8】



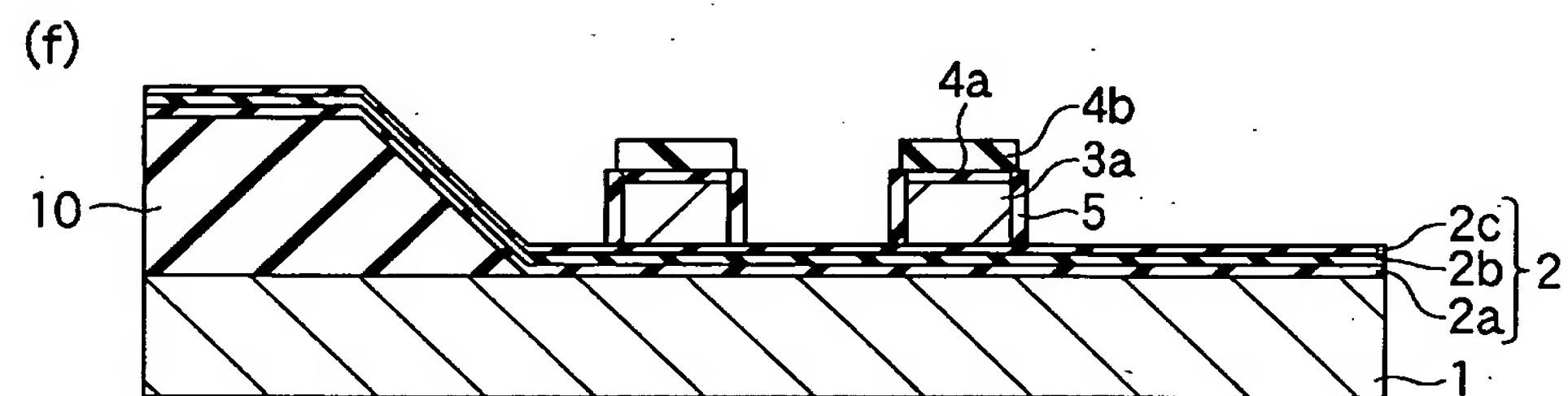
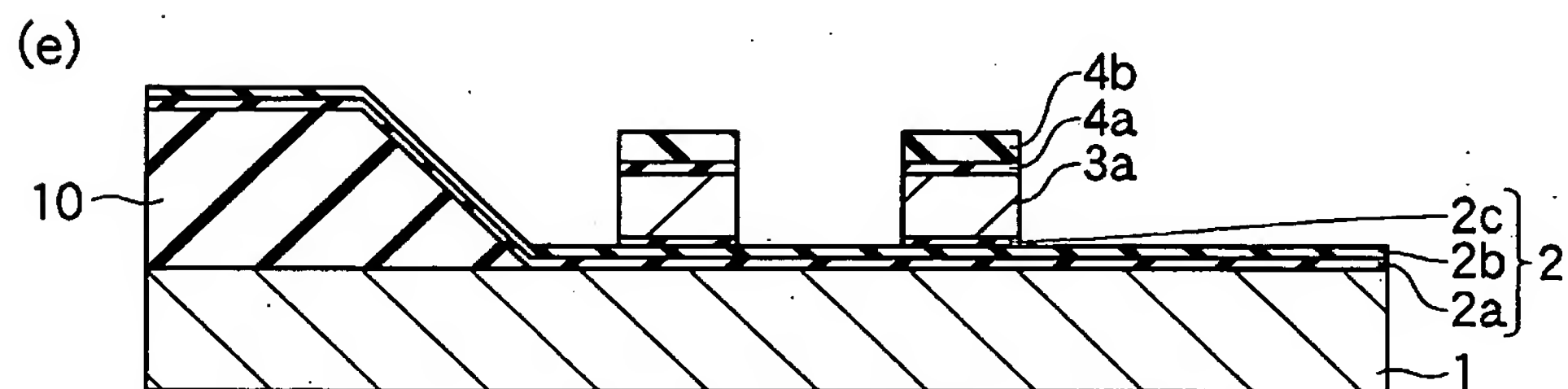
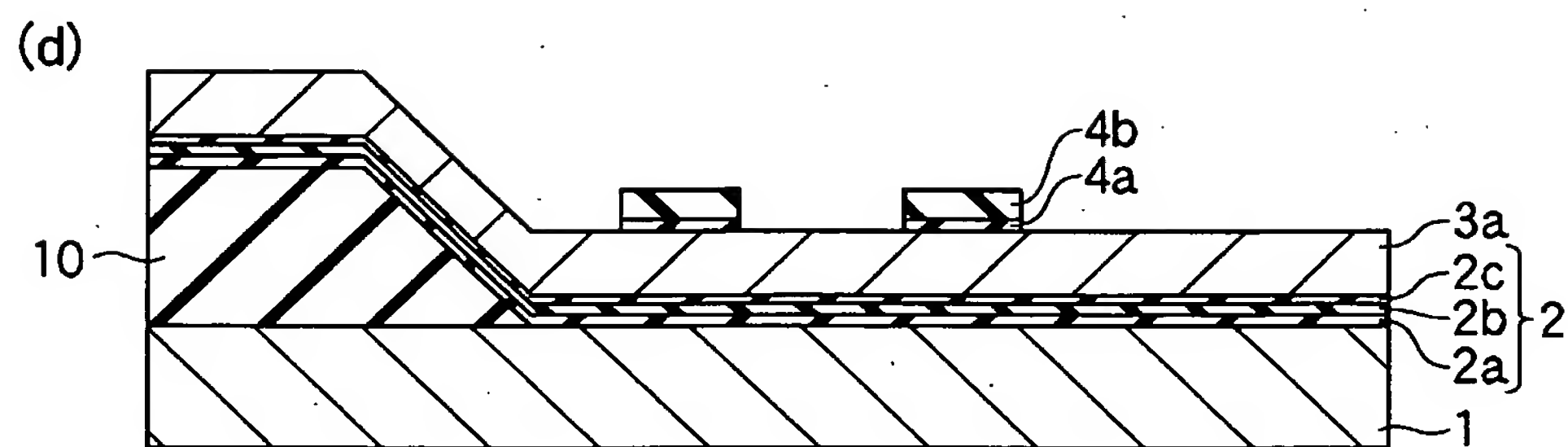
【図 9】



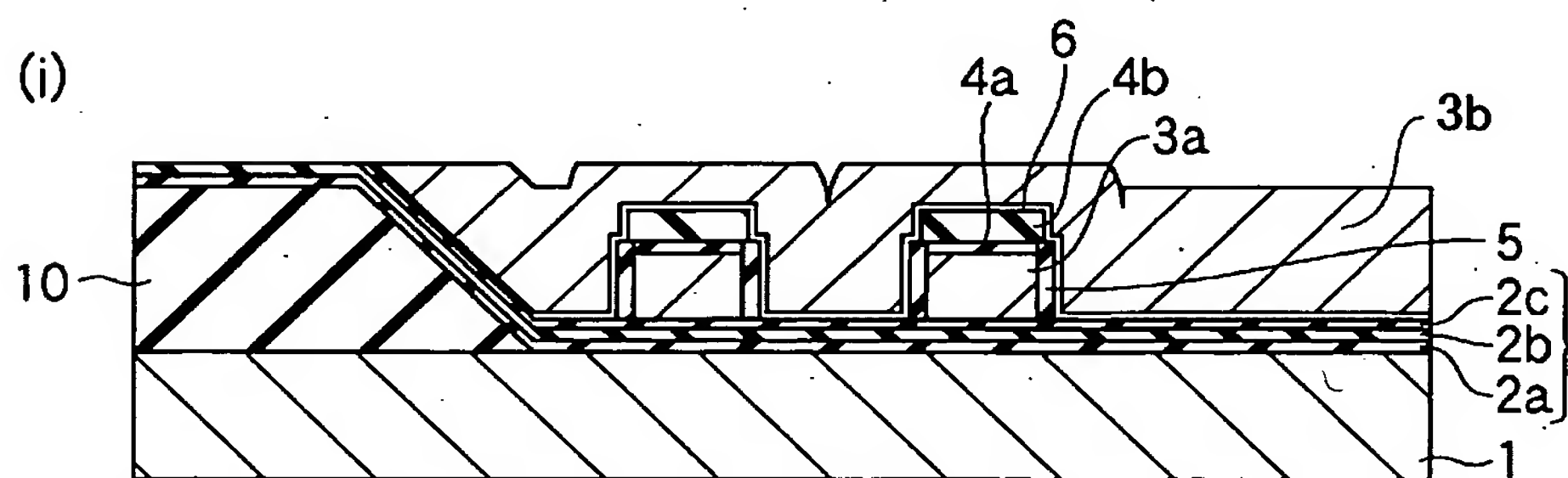
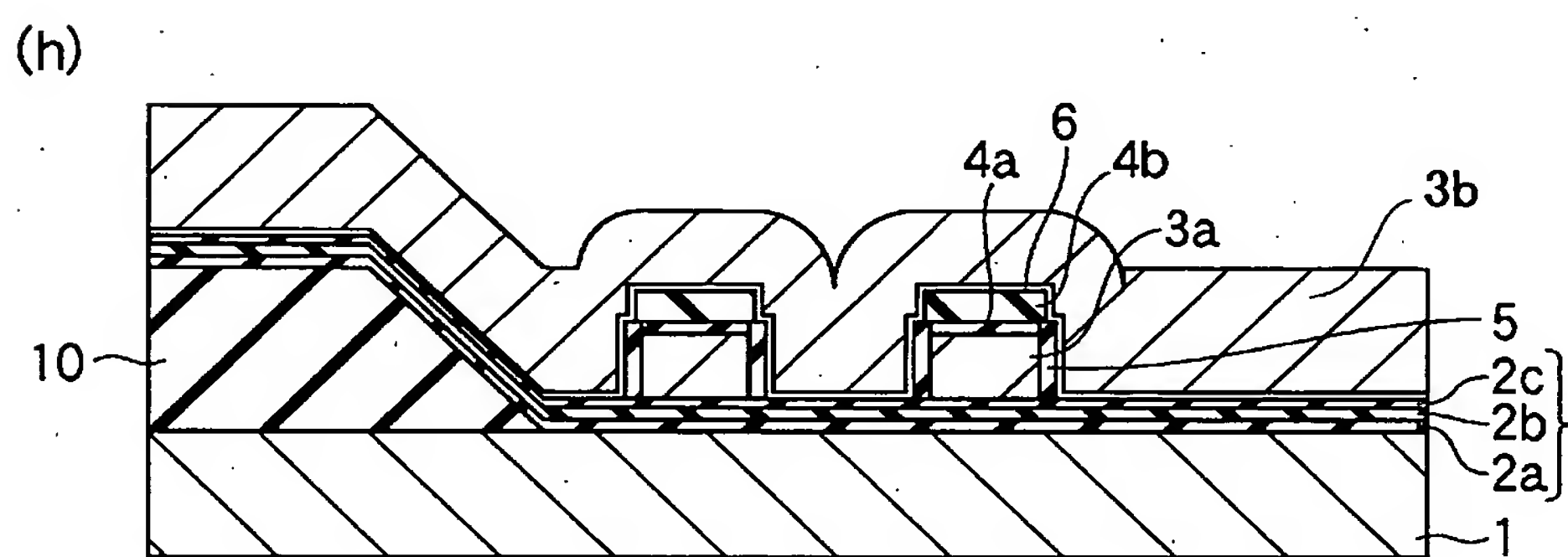
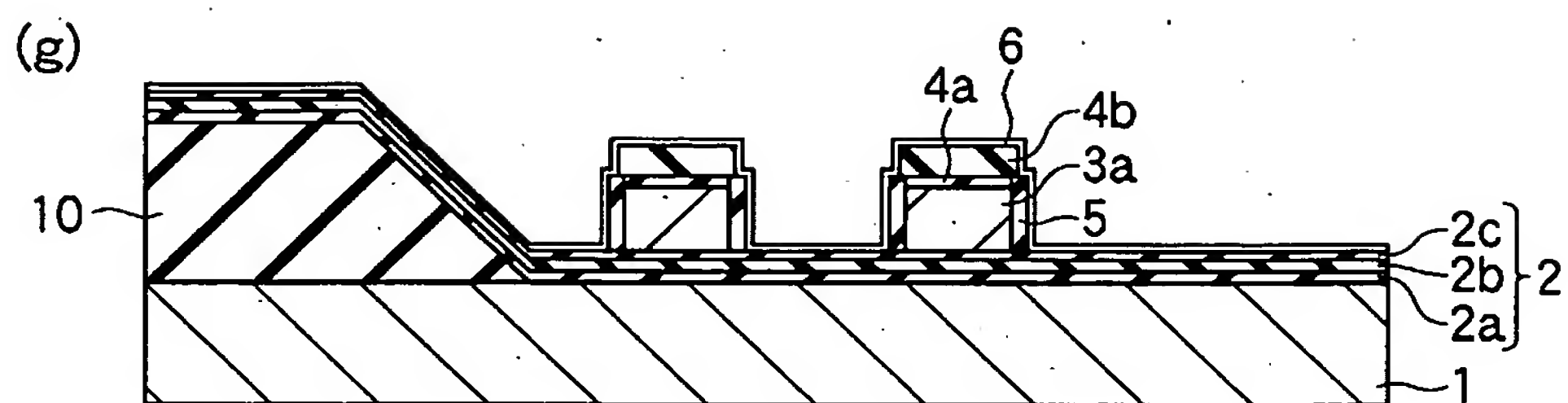
【図 10】



【図 11】



【図1-2】



【書類名】 要約書

【要約】

【課題】 高度の微細化に際しても高精度で信頼性の高い固体撮像素子を提供する。

【解決手段】 光電変換部と、前記光電変換部で生起せしめられた電荷を転送する電荷転送電極を備えた電荷転送部と、前記電荷転送部に接続される周辺回路部とを具備した固体撮像素子において、前記光電変換部の有効撮像領域を囲むように、周辺回路部および前記電荷転送部に設けられたフィールド酸化膜の表面が、前記光電変換部の表面レベルと同程度であることを特徴とする。

【選択図】 図1

【書類名】 手続補正書
【整理番号】 205-02358
【あて先】 特許庁長官殿
【事件の表示】
 【出願番号】 特願2005-166927
【補正をする者】
 【識別番号】 391051588
 【氏名又は名称】 富士フイルムマイクロデバイス株式会社
【補正をする者】
 【識別番号】 000005201
 【氏名又は名称】 富士写真フイルム株式会社
【代理人】
 【識別番号】 100105647
 【弁理士】
 【氏名又は名称】 小栗 昌平
 【電話番号】 03-5561-3990
【発送番号】 062002
【手続補正1】
 【補正対象書類名】 特許願
 【補正対象項目名】 提出物件の目録
 【補正方法】 追加
 【補正の内容】
 【提出物件の目録】
 【物件名】 委任状 1
 【援用の表示】 平成17年6月24日に提出の手続補正書（特願2005-130255）に添付の委任状を援用する。

出願人履歴

3 9 1 0 5 1 5 8 8

19910731

新規登録

3 9 1 0 5 1 9 5 7

宮城県黒川郡大和町松坂平1丁目6番地

富士フィルムマイクロデバイス株式会社

0 0 0 0 0 5 2 0 1

19900814

新規登録

5 0 1 2 6 6 5 4 5

神奈川県南足柄市中沼210番地

富士写真フィルム株式会社